

PROJEKTARBEIT

Hardware-Erweiterung einer DC/DC-Buck-Konverter-Platine zur Messung des mittleren Spulen- und Ausgangs-Stromes mittels eines ADC

Florian Schwankner

Abgabedatum 21.01.2022

Hochschule: OTH Regensburg
Studiengang: Elektro- und Informationstechnik
Matrikelnummer: 3266575
Prüfer: Prof. Dr. J. W. Martin Schubert

Eidesstattliche Erklärung

Mir ist bekannt, dass dieses Exemplar der Projektarbeit als Prüfungsleistung in das Eigentum der Ostbayerischen Technischen Hochschule Regensburg übergeht.

Ich versichere hiermit, die vorliegende Projektarbeit selbstständig und nur unter Verwendung der von mir angegebenen Quellen und Hilfsmittel verfasst zu haben. Sowohl inhaltlich als auch wörtlich entnommene Inhalte wurden als solche kenntlich gemacht. Die Arbeit hat in dieser oder vergleichbarer Form noch keinem anderen Prüfungsgremium vorgelegen.

Ort, Datum: _____ Unterschrift: _____

Inhaltsverzeichnis

Eidesstattliche Erklärung	I
Abbildungsverzeichnis	V
Tabellenverzeichnis	VI
Abkürzungsverzeichnis	VII
Kurzfassung	1
1 Einleitung	2
1.1 Motivation der Arbeit	2
1.2 Problemstellung und Zielsetzung	2
1.3 Aufbau der Arbeit	3
2 Grundlagen	4
2.1 Arten von Gleichspannungswandler	4
2.1.1 Lineare Spannungswandler	4
2.1.2 Kapazitive Schaltwandler	5
2.1.3 Induktive Schaltwandler	5
2.2 DC/DC-Buck-Konverter	6
2.3 Regelverfahren von Schaltwandler	7
2.3.1 Voltage-Mode-Prinzip	8
2.3.2 Current-Mode-Prinzip	8
2.4 Analog-Digital-Wandler	10
2.5 Regeln für ein gutes Layoutdesign	10
3 Planung und Konzept	12
3.1 Ausgangssituation	12
3.2 Strommessung	14
3.3 Optimierungsmöglichkeiten des aktuellen DC/DC-Buck-Konverters	17
4 Umsetzung	18
4.1 Konverter Revision 10.00	19
4.2 Konverter Revision 10.01	20
4.3 Konverter Revision 10.02	22
4.4 Bestellvorgang und Lötarbeiten	24

5 Validierung und Messung	25
5.1 Erster Prototyp	25
5.2 Zweiter Prototyp	26
5.3 Finale Version	26
6 Fazit und Ausblick	28
Literaturverzeichnis	31

Abbildungsverzeichnis

2.1	Gegenüberstellung von zwei Ladungspumpen-Konverter. [1]	5
2.2	Schaltung eines asynchronen Buck-Konverters. [4]	6
2.3	Spulenstrom eines asynchronen Buck-Konverters. [4]	7
2.4	Blockschaltbild eines Voltage-Mode geregelten synchronen DC/DC-Buck. [2]	8
2.5	Blockschaltbild eines Current-Mode geregelten synchronen DC/DC-Buck. [2]	9
2.6	Analog-Digital-Wandler nach dem Prinzip der sukzessiven Approximation. [5, S. 477]	10
2.7	Kritische Stromschleife eines Buck-Konverters. [9]	11
3.1	PCB-Schaltplan Seite 1 des DC/DC-Buck Revision 5 der OTH Regensburg.	12
3.2	PCB-Schaltplan Seite 2 des DC/DC-Buck Revision 5 der OTH Regensburg.	13
3.3	PCB-Layout des DC/DC-Buck Revision 5 der OTH Regensburg.	14
3.4	Methoden zur Implementierung einer Strommessung. [12, S. 5]	15
3.5	Funktionsprinzip einer Strommessung mit Operationsverstärker. [5, S. 422, 13]	16
3.6	Kelvin Verbindung eines Shunt-Widerstandes. [14]	17
4.1	Konfigurationsmöglichkeiten des Analog-Digital-Wandlers. [8]	19
4.2	Teile der Schaltung des Konverters Version 10.00.	20
4.3	PCB-Schaltplan Seite 1 des DC/DC-Buck Revision 10.02 der OTH Regensburg.	23
4.4	PCB-Schaltplan Seite 2 des DC/DC-Buck Revision 10.02 der OTH Regensburg.	23
4.5	PCB-Layout des DC/DC-Buck Revision 10.02 der OTH Regensburg.	24
5.1	Oszilloskop-Aufnahme der Version 10.00.	25
5.2	Oszilloskop-Aufnahme der Version 10.01.	26
5.3	Oszilloskop-Aufnahme der Version 10.02.	27
6.1	Die Verstärkung des Strommessverstärkers als Funktion über die Frequenz. [14]	28

Tabellenverzeichnis

4.1	Pin-Belegung der Steckerleiste des Konverters und deren Bedeutung.	18
4.2	Anschluss-Belegung der ADC-Pins bei der Konverter Version 10.01.	21

Abkürzungsverzeichnis

ADC	Analog Digital Converter
EMV	Elektromagnetische Verträglichkeit
FPGA	Field Programmable Gate Array
IC	Integrated Circuit
LED	Light Emitting Diode
LDO	Low Dropout
LSB	Least Signifikant Bit
MOSFET	Metal Oxide Semiconductor Field-Effect Transistor
MSB	Most Significant Bit
PCB	Printed Circuit Board
PWM	Pulsweitenmodulation
SAR	Successive Approximation Register
SCC	Switched Capacitor Converter
VHDL	Very High Speed Integrated Circuit Hardware Description Language

Kurzfassung

In dieser Arbeit wird eine DC/DC-Buck-Konverter-Platine um eine Messung des mittleren Spulenstromes und des Ausgangs-Stromes mittels Analog-Digital-Wandler erweitert. Grund dieser Erweiterung ist die geplante Umstellung von einer Spannungsregelung auf eine Stromregelung. Dazu werden allgemeine Grundkenntnisse einer Strommessung, der Stromregelung und Regeln für das Layoutdesign vermittelt. Des Weiteren ist der Weg von der Idee bis zum fertigen Produkt beschrieben. Abschließend werden die Messergebnisse zur Validierung erläutert.

1 Einleitung

1.1 Motivation der Arbeit

In Zeiten der Energiewende schreibt man der Effizienz von Spannungswandlern immer mehr Bedeutung zu. Dabei ist es von besonderem Interesse die Verluste bei der Wandlung zu minimieren. Hier ist eine gute Regelung gefragt, welche auf genauen Messungen der Eingangsgrößen der Regelung aufbaut.

Es gibt eine Vielzahl von Spannungswandlern, denn die Eingangsspannung kann hierbei entweder eine Wechselspannung (AC) oder Gleichspannung (DC) sein. Ebenso ist es mit der Ausgangsspannung, woraus schon vier verschiedene Wandlertypen entstehen. Hinzu kommt, dass die Amplitude von Ein- und Ausgangsspannung weitere Wandlertypen hervorbringt. So kann die effektive Ausgangsspannung entweder kleiner, gleich oder größer sein. Somit wird klar, dass es unzählige Spannungswandler gibt. Viele der Spannungswandler arbeiten auf Grundlage von Pulsweitenmodulation (PWM).

In dieser Arbeit soll ein DC/DC-Buck-Konverter betrachtet werden. Dieser wandelt eine Gleichspannung in eine Gleichspannung mit niedrigerer Amplitude. Der Wandler wird derzeit in einem Praktikum der OTH Regensburg verwendet, dessen Regelung auf der Messung der Ausgangsspannung beruht. Ziel dieser Arbeit ist es den Spannungswandler zu optimieren und um eine Messung des mittleren Spulen- und Ausgangs-Stromes mittels eines Analog Digital Converter (ADC) zu erweitern. Mithilfe der gemessenen Ströme ist es möglich, eine Stromregelung des DC/DC-Buck-Konverter zu implementieren.

1.2 Problemstellung und Zielsetzung

Wie in Kapitel 1.1 bereits erwähnt, ist für eine genaue Regelung eine fehlerarme Messung der Regler-Eingangsgrößen erforderlich. Für die vorher genannte Stromregelung muss eine Messung des Stromes in den Schaltplan und das Layout des Konverters integriert werden. Damit bei der Spannungsmessung an einem niederohmigen Shunt-Widerstand, welche über einen ADC gemessen wird, keine hohe Verlustleistung entsteht, ist ein Verstärker notwendig. Dieser wandelt eine niedrige Spannung in eine messbare Spannung für den ADC. Durch die Messung der Spannung an einem vorgegebenen Widerstand kann der fließende Strom berechnet werden.

Dafür wird ein Konzept erstellt, das einige Fragestellungen klärt. Dazu gehört zunächst die Auswahl eines Verstärkers, der bei der gegebenen Frequenz der PWM die geforderte Verstärkung liefert. Weiter stellt sich die Frage, welcher Widerstand und welche Verstärkung für ein optimales Ergebnis gewählt werden muss. Außerdem ist ein sekundäres Ziel dieser

Arbeit die Optimierung der Konverter-Platine. Dazu zählt die Minimierung des Rauschens und die Verbesserung der Messmöglichkeiten.

1.3 Aufbau der Arbeit

Ziel dieser Arbeit ist es, das notwendige Wissen zu vermitteln, mithilfe dessen die Erweiterung einer Strommessung an einem bestehenden DC/DC-Abwärtswandler möglich ist.

Kapitel 2 vermittelt grundlegendes Wissen zu DC/DC-Gleichspannungswandler, woraus ein besseres Verständnis für den Buck-Konverter entsteht. Des Weiteren beschäftigt sich dieses Kapitel mit der Regelung der Konverter. Abschließend werden Grundlagen für ein gutes Layoutdesign erläutert.

Auf dieser Grundlage wird in Kapitel 3 ein Konzept entwickelt mit dessen Hilfe ein Schaltplan generiert und ein Layout erstellt werden kann.

In Kapitel 4 wird aus dem Schaltplan und dem zugehörigen Layout ein Printed Circuit Board (PCB) gefertigt. Diese Platine wird anschließend bestückt und in einem Reflow-Ofen gelötet.

Kapitel 5 beschäftigt sich mit der Messung und Validierung der Ergebnisse. Dabei werden die Ergebnisse mit den Vorgänger-Platinen verglichen, um zu kontrollieren, ob eine Verbesserung eingetreten ist.

Abschließend folgt in Kapitel 6 ein Resümee mit Ausblick.

2 Grundlagen

2.1 Arten von Gleichspannungswandler

Die Umwandlung von Gleichspannung in eine Spannung anderer Amplitude kann auf verschiedene Weise erfolgen. Üblich ist hierbei eine Aufteilung in lineare Konverter und in Konverter mit kapazitiver oder induktiver Energiespeicherung. Jede Methode hat unter spezifischen Anwendungsanforderungen spezielle Vor- und Nachteile, wodurch eine Verallgemeinerung eines bevorzugten Wandlers nicht getroffen werden kann. Die Eigenschaften leiten sich aus der Funktionsweise und der verwendeten Bauelemente der verschiedenen Typen ab. Wichtige Kenngrößen von DC/DC-Wandler sind das Spannungsübersetzungsverhältnis, die maximale Ausgangsleistung, der Wirkungsgrad, die Anzahl an benötigten Bauelementen, die Leistungsdichte, die galvanische Trennung von Ein- und Ausgangsseite sowie weiteren Größen. Nachfolgend sind drei fundamentale Arten von Gleichspannungswandler vorgestellt. [1, S. 27]

2.1.1 Lineare Spannungswandler

Die erste und auch älteste Art, ist die Spannungswandlung mit einem linearen Spannungswandler auf Grundlage eines Widerstandsteilers. Der Stromfluss wird beispielsweise über einen aktiven Schalter gesteuert, der ausgangsseitig an der Last die geforderte Spannung einprägt. Bei dem Schalter kann es sich beispielsweise um einen Bipolar- oder Feldeffekttransistor handeln [2]. Dieser Schalter wird durch einen Fehlerverstärker angesteuert, der eine feste Referenzspannung und eine Feedback-Spannung als Eingangsgrößen erhält. Die Feedback-Spannung wird an einem Widerstandsteiler abgegriffen, der parallel zur Last bzw. Ausgangsspannung geschaltet ist. Einer der größten Nachteile bei einem linearen Spannungswandler ist die Tatsache, dass eine Eingangsspannung nur in eine niedrigere Ausgangsspannung gewandelt werden kann. Vorteile sind die einfache Realisierung, sowie der geringe Bauteilaufwand, wodurch die Schaltung im Vergleich zu den nachfolgenden Wandler kompakter ist. [1, S. 27ff.]

Die Effizienz eines linearen Spannungswandlers hängt stark von der Differenz von Ein- und Ausgangsspannung ab. Vereinfacht kann der Wirkungsgrad η_{LR} eines Linearreglers über den Quotienten V_{out}/V_{in} beschrieben werden. Demnach ist der Wandler effizienter, wenn die Ausgangsspannung nahe der Eingangsspannung ist. Jedoch ist eine minimale Spannungsdifferenz an der Kollektor-Emitter-Strecke des Bipolartransistors bzw. an der Drain-Source-Strecke des Feldeffekttransistors notwendig. Regler mit einer sehr niedrigen Spannungsdifferenz werden LDO-Regler (low dropout) genannt und sind somit eine Sonderform des Standard-Linearreglers. [2]

2.1.2 Kapazitive Schaltwandler

Die zweite Methode der Spannungswandlung wird mit Ladungspumpen-Wandler realisiert, dessen Energie lediglich in Kondensatoren gespeichert ist. Diese sogenannten Charge-Pumps (Ladungspumpen) gehören zu den schaltenden Wandlern. Das bedeutet, dass die Ladung und Entladung der Kondensatoren durch kontinuierliches Schalten erfolgt. Häufig wird diese Art der Konverter in Literaturen mit Switched Capacitor Converter (SCC) abgekürzt. Im Gegensatz zu einem linearen Spannungswandler ermöglicht eine Charge-Pump auch die Umwandlung einer Eingangsspannung in eine Ausgangsspannung höherer Amplitude. In Anlehnung daran gibt es zwei verschiedene Arten der Ladungspumpen, die sich in deren Aufbau und der Schaltungssteuerung unterscheiden.

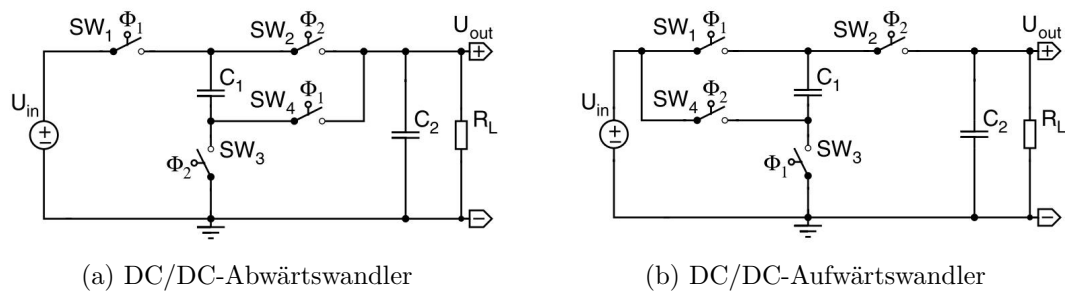


Abbildung 2.1: Gegenüberstellung von zwei Ladungspumpen-Konverter. [1]

Sowohl bei einem Abwärts-, als auch bei einem Aufwärtswandler gibt es eine Lade- und eine Entladephase der Schaltung. Der Kondensator, der in Phase ϕ_1 geladen und Phase ϕ_2 entladen wird, trägt die Bezeichnung „fliegender Kondensator“.

In Abbildung 2.1 sind zwei Topologien der Ladungspumpen-Konverter gegenübergestellt. Die Lade- und Entladephasen werden in den Abbildungen 2.1a und 2.1b mit der Ansteuerung von Schaltern getätigt. In beiden Schaltungen ist der Kondensator C_1 der fliegende Kondensator. Bei dem Abwärtswandler wird der Kondensator C_1 in Serie zu Kondensator C_2 geladen und in der Entladephase parallel zueinander entladen. Im Gegensatz dazu wird bei einem Aufwärtswandler in der Ladephase der Kondensator C_1 geladen, währenddessen Kondensator C_2 Energie an die Last abgibt. In der Entladephase wird der Kondensator C_2 von der Spannungsquelle und dem in Serie geschalteten Kondensator C_1 geladen. Der fliegende Kondensator entlädt sich in der Entladephase und gibt gemeinsam mit der Spannungsquelle Energie an den Kondensator C_2 ab.

Die Ausgangsspannung kann bei einem Abwärtswandler maximal die halbe Eingangsspannung und bei einem Aufwärtswandler maximal die doppelte Eingangsspannung erreichen. [1, S. 31ff.]

2.1.3 Induktive Schaltwandler

Eine dritte sehr häufig verwendete Wandler-Topologie sind induktive Gleichspannungswandler, mit temporärer Speicherung der Energie in ein oder mehreren Induktivitäten. Wie auch die Ladungspumpen gehören diese Wandler zu den Schaltwandlern. Induktive Konverter

gibt es in den Ausführungen eines Abwärtswandler (Buck-Konverter), Aufwärtswandler (Boost-Konverter) und einer Kombination beider Typen, dem Ab-/Aufwärtswandler (Buck-/Boost-Konverter). Diese Wandler zählen zu den nicht isolierenden Schaltwandlern, bei denen es noch weitere Arten, wie etwa den Cuk-, SEPIC- und Zeta-Konverter gibt [2]. Ist die Eingangs- von der Ausgangsseite galvanisch getrennt, so handelt es sich um isolierte Wandler. Analog zu den kapazitiven Schaltwandlern bestimmt die Induktivität als Energiespeicher den Lade- und Entladezyklus. [1, S. 41ff.]

2.2 DC/DC-Buck-Konverter

Ein induktiver Gleichspannungs-Schaltwandler, der aus einer Eingangsspannung, eine Ausgangsspannung mit niedrigerer Amplitude wandelt, wird Buck-Konverter genannt. Buck-Konverter sind einfach aufgebaut und im Wirkungsgrad sehr effizient. Am Ausgang des Konverters wird ein kontinuierlicher Strom erzeugt, wodurch dieser Schaltwandler beispielsweise auch häufig in LED-Treibern als Konstantstromtreiber verwendet wird. Dies verhindert ein Flackern des Lichtes. [3]

Buck-Konverter werden häufig auch als Abwärtswandler oder Tiefsetzsteller bezeichnet. In Abbildung 2.2 ist die Schaltung eines asynchronen Buck-Konverters dargestellt. Damit die Ausgangsspannung nur den Gleichanteil und wenig höhere Frequenzanteile enthält, ist ein LC-Glied als Tiefpassfilter verschaltet. Wird der aktive Schalter, in diesem Fall ein Metal Oxide Semiconductor Field-Effect Transistor (MOSFET), mit einem PWM-Signal angesteuert, so entstehen Phasen in denen der Schalter leitet und nicht leitet. Diese zwei Phasen werden On- und Off-Phase genannt. Die Zeiten sind passend dazu mit t_{on} und t_{off} deklariert.

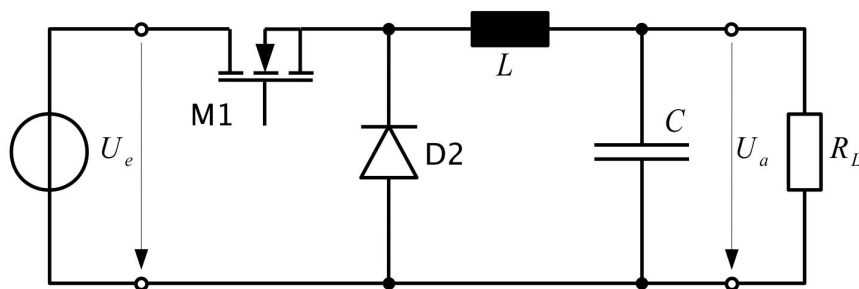


Abbildung 2.2: Schaltung eines asynchronen Buck-Konverters. [4]

Während der eingeschalteten Phase fließt der Strom über den MOSFET $M1$ hin zur Last und kommutiert anschließend beim Ausschalten des FET's über die Diode $D2$, da der Strom über die Spule stetig ist und weiterfließen muss. Die ausgeschaltete Phase wird somit auch Freilaufphase und die Diode Freilaufdiode genannt. Da die Diode nicht synchron zum Ausschalten des MOSFET eingeschaltet werden muss, wird diese Art der Verschaltung als asynchroner Tiefsetzsteller bezeichnet. Ebenso kann die Diode durch einen zweiten aktiven Schalter $M2$ ersetzt werden, wodurch jedoch ein synchrones Schalten notwendig

ist. Da an der leitenden Diode eine Spannung abfällt, die zu einem Verlust der Leistung führt, erzielt ein synchroner Buck-Konverter höhere Wirkungsgrade. Die Diode ist häufig eine Schottky-Diode, denn diese Art der Diode ist durch geringere Durchflussspannungen und schnellere Schaltzeiten charakterisiert. Der höhere Wirkungsgrad der Schaltung eines synchronen Tiefsetzstellers wird jedoch durch einen höheren Ansteuerungsaufwand bezahlt. Die beiden Phasen müssen untereinander verriegelt werden, damit zu keinem Zeitpunkt beide Schalter leiten, da dies die Spannungsquelle am Eingang kurzschließen würde. In der Totzeit, die bei der Umschaltphase eingehalten werden muss, fließt der stetige Strom über die Substratdiode des MOSFET $M2$. [4]

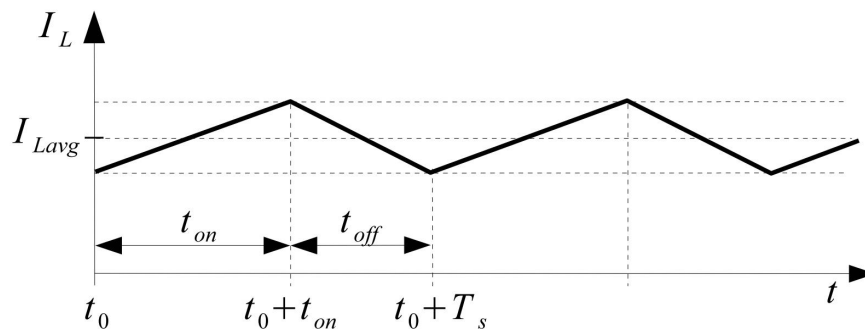


Abbildung 2.3: Spulenstrom eines asynchronen Buck-Konverters. [4]

In Abbildung 2.3 ist der Spulenstrom des Tiefsetzstellers über zwei Perioden dargestellt. Bei der Abbildung handelt es sich um den stationären Betrieb des Konverters, bei dem Einschwingvorgänge nicht berücksichtigt werden. Bedeutet, dass die Änderung des Spulenstromes während der Ein- und Ausschaltphase im stationären Betrieb gleich ist. Dadurch bleibt über eine Schaltperiode T_s der mittlere Spulenstrom I_{Lavg} konstant, da sich der Energieinhalt der Induktivität nicht ändert. [4]

Die Ausgangsspannung ergibt sich aus dem Tastverhältnis $d = t_{ein}/T_s$ zu $U_a = d \cdot U_e$. Die Schaltfrequenz des Tiefsetzstellers leitet sich aus der Periodendauer ab und ergibt sich zu $f_s = 1/T_s$. [5, S. 790ff.]

2.3 Regelverfahren von Schaltwandler

Ein Regelkreis hat die Aufgabe eine Eingangsgröße auf eine vorgegebene Ausgangsgröße zu regeln. Dabei kann es sich bei der Ein- und Ausgangsgröße um Spannungen, Ströme oder andere Größen wie etwa eine Temperatur handeln. Um eine Regelung zu ermöglichen ist es notwendig die Ausgangsgröße zu messen und diese dem Regler wieder zuzuführen. Dadurch können Störgrößen ausgeglet werden.

Die Regelung eines Schaltwandler ist häufig sehr viel aufwendiger, als die Regelung eines Linearregler oder LDO. Es erfordert ein fundiertes Wissen um eine dynamische und stabile Regelschleife zu erzeugen. Dabei ist die Regelung eines Schaltwandler mittels Voltage-Mode- oder Current-Mode-Prinzip möglich. Nachfolgend sind die beide Funktionsprinzipien anhand eines DC/DC-Bucks vorgestellt. [2]

2.3.1 Voltage-Mode-Prinzip

Das Tastverhältnis D des PWM-Schalters ergibt sich bei dem Voltage-Mode-Prinzip direkt aus dem Rückkopplungszweig der Ausgangsspannung. Die Ausgangsspannung als Istwert der Regelung wird mit einer Referenzspannung, dem Sollwert, verglichen und das damit erzeugte Tastverhältnis direkt dem Schalter als Steuersignal zurückgeführt. Daraus ergibt sich dann eine geschlossene Regelschleife mit einer Rückkopplung, bestehend aus einem Fehlerverstärker mit Kompensationsnetzwerk und einem Komparator als PWM-Modulator. [4]

Die Ausgangsspannung eines synchronen Tiefsetzstellers kann, wie in Abbildung 2.4 dargestellt, geregelt werden. Der Widerstandsteiler bestehend aus R_1 und R_2 sorgt dafür, dass im Falle der gewünschten Ausgangsspannungen die Feedbackspannung V_{FB} und die Referenzspannung V_{REF} gleich sind. In diesem Fall gilt $V_{FB} = V_{REF}$. Sinkt die Ausgangsspannung, so sinkt auch die Feedbackspannung und die Spannung des Fehlerverstärkers V_C steigt. Es wird ersichtlich, dass bei steigender Spannung des Fehlerverstärkers auch das Tastverhältnis D steigt. Folglich nimmt auch die Ausgangsspannung zu. Analog verhält sich die Regelung bei sinkender Ausgangsspannung. Das Voltage-Mode-Prinzip besteht aus lediglich einer Regelschleife, wodurch die Implementierung vereinfacht wird. Allerdings ist das Kompensationsnetzwerk des Fehlerverstärkers häufig aufwendig abzustimmen. [2, 6]

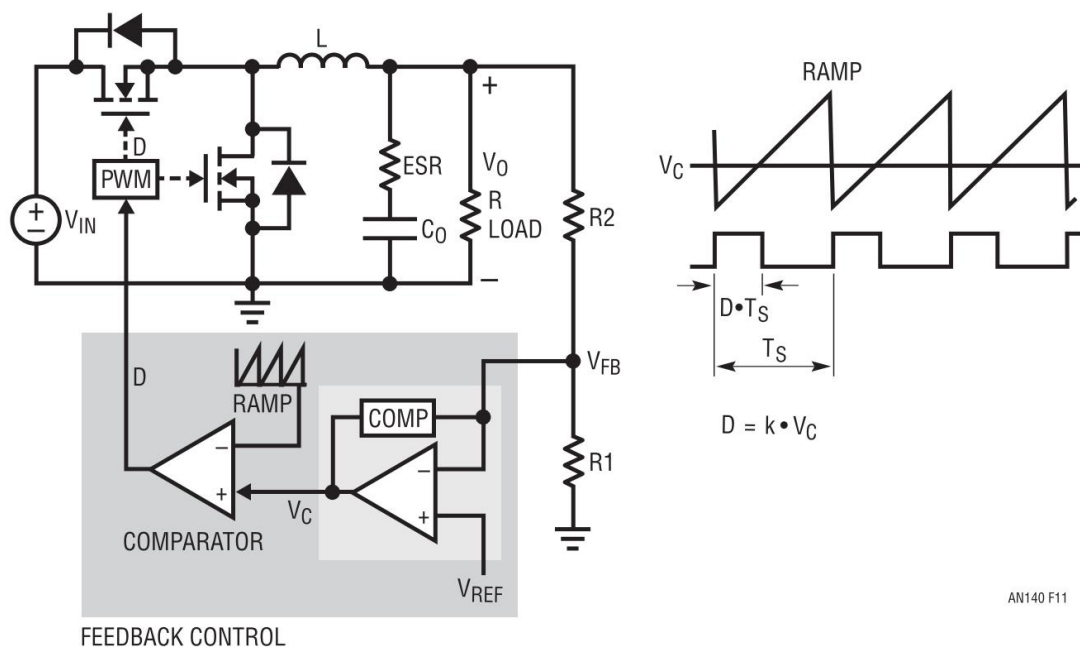


Abbildung 2.4: Blockschaltbild eines Voltage-Mode geregelten synchronen DC/DC-Buck. [2]

2.3.2 Current-Mode-Prinzip

Das Voltage-Mode-Prinzip besteht zwar nur aus einer Regelschleife, wodurch diese Regelung attraktiv ist, jedoch ist die Kompensation des Reglers für eine ausreichende Stabilität

schwierig. Um eine schnelle Regelschleife mit ausreichender Phasenreserve zu realisieren ist demnach ein komplexes Kompensationsnetzwerk notwendig. Außerdem hängt diese Regelung stark von parasitären Elementen ab. Des Weiteren ist eine schnelle Reaktion auf Überstromereignisse nur schwer zu realisieren. Einschaltströme, sogenannte Inrush-Currents sind somit nicht gut zu kontrollieren. Hier bietet das Current-Mode-Prinzip mit innerer Stromregelschleife Abhilfe. [4]

Die Regelung mittels Current-Mode-Prinzip besteht aus zwei Rückkopplungszweigen, wodurch eine äußere Spannungsschleife, ähnlich der eines spannungsgeregelten Wandlers und eine innere Stromschleife, gebildet wird. Das Funktionsprinzip der äußeren Spannungsschleife ist analog zur Regelung nach dem Voltage-Mode-Prinzip. Für die innere Stromschleife wird, wie in Abbildung 2.5 dargestellt, die Spannung über einen Shunt-Widerstand gemessen, womit indirekt über das Ohmsche Gesetz auf den Strom geschlossen werden kann. Ist der Spannungsabfall über den Shunt-Widerstand größer als die Spannung des Fehlerverstärkers, so wird der MOSFET geöffnet. Ebenso ist es möglich den Spulenstrom über den Spannungsabfall an dem Gleichstromwiderstand DCR der Spule oder über den Spannungsabfall am MOSFET zu messen.

Für das Current-Mode-Prinzip ist eine präzise Strommessung notwendig. Um die Verlustleistung zu verringern, sind Shunt-Widerstände mit geringem Widerstand und hoher Genauigkeit auszuwählen. Dadurch ergibt sich ein geringer Spannungsabfall an dem Widerstand, der meist durch einen Operationsverstärker verstärkt wird. Der geringe Spannungsabfall von einigen Millivolt ist störanfällig für Schaltrauschen, sogenanntes „Switching Noise“. Dies erfordert ein sorgfältiges PCB-Layout. [2, 6]

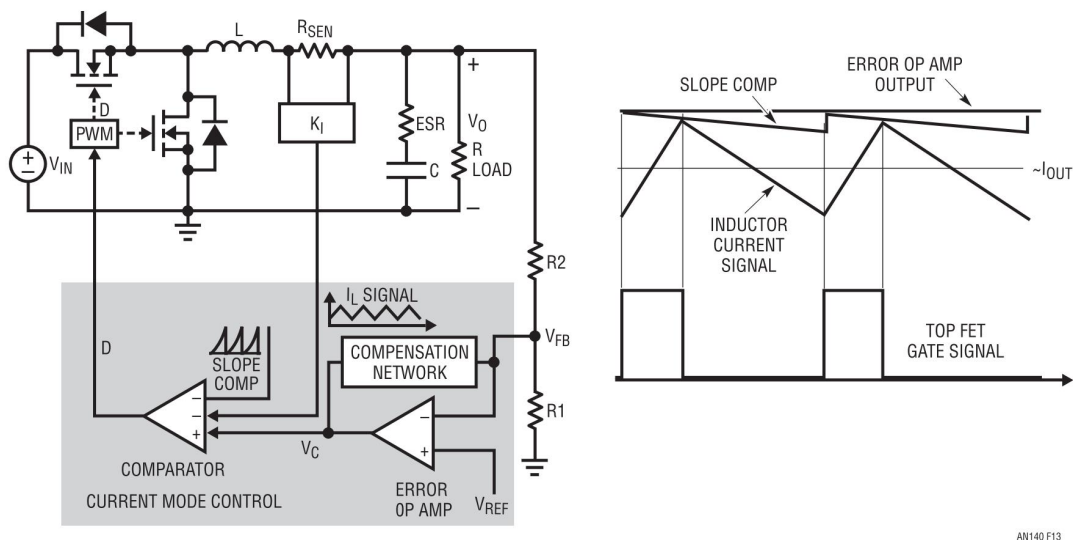


Abbildung 2.5: Blockschaltbild eines Current-Mode geregelten synchronen DC/DC-Buck. [2]

2.4 Analog-Digital-Wandler

Analog Digital Converter dienen zur Umwandlung analoger Spannungen in digitale Signale. Dabei gibt es fünf verschiedene Funktionsprinzipien, die sich bewährt haben. Nachfolgend soll lediglich das Funktionsprinzip eines SAR-ADC (Successive Approximation Register) betrachtet werden, da für diese Arbeit das DE1SoC-Entwicklungsboard der Firma Terasic Inc. mit SAR-ADC verwendet wird. Das Board verwendet einen LTC2308 12 Bit-ADC der Firma Analog Devices Inc. mit acht Kanälen. [5, S. 473, 7, 8]

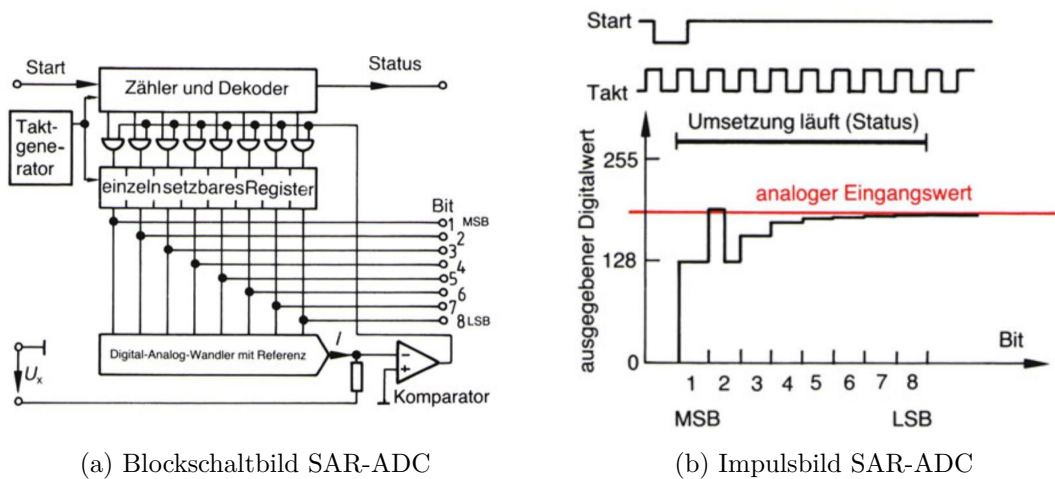


Abbildung 2.6: Analog-Digital-Wandler nach dem Prinzip der sukzessiven Approximation. [5, S. 477]

In Abbildung 2.6 ist das Blockschaltbild mit zugehörigen Impulsbild eines 8 Bit-SAR-ADC dargestellt. Beginnend mit dem Most Significant Bit (MSB) wird der Digitalwert vergrößert, wenn dieser kleiner als der unbekannte Analogwert ist. Bis hin zum Least Signifikant Bit (LSB) wird so für jedes Bit der Digitalwert angenähert und schließlich zur Weiterverarbeitung ausgegeben. Der unbekannte Analogwert ist in Abbildung 2.6a mit U_x gekennzeichnet. Die Analogspannung, die in ein digitalen Wert gewandelt werden soll, darf sich während Wandlung nicht ändern. Den Vergleich von Analog- und Digitalwert übernimmt ein Komparator. In Abbildung 2.6b ist die Entstehung des Digitalwertes dargestellt. Außerdem wird ersichtlich, dass für jedes Bit eine Taktperiode erforderlich ist. [5, S. 477ff.]

2.5 Regeln für ein gutes Layoutdesign

Bei dem Layoutdesign eines DC/DC-Schaltwandlers gibt es viele Möglichkeiten, um die Performance des Wandlers zu optimieren. Grundsätzlich ist es dafür von Vorteil, wenn bewusst gemacht wird, welche Störquellen es gibt. Im einfachsten Fall besteht z.B. ein Buck-Konverter aus einem Schalter, einer Diode, einer Induktivität, einem Kondensator, sowie einer Quelle und einer Last. Im Laufe dieses Kapitels, soll klar werden, dass es nicht so einfach ist. Dafür wird auf die Störquellen eines Buck-Konverters und deren Regeln für ein gutes Layoutdesign eingegangen.

Bei den Störarten unterscheidet man zwischen Gleichtakt / common-mode oder Gegentakt / differential-mode, die sich über die Art der Kopplungswege unterscheiden. Gleichtakt-Störer bilden einen Stromkreis, der sich über die Erde/Ground schließt und Gegentakt-Störer bilden einen Stromkreis, der sich über Hin- und Rückleiter schließt. [9]

Häufig ist eine mögliche Störquelle in einem Schaltwandler der Schalter bzw. MOSFET selbst. Diese Störquelle wird durch die steile Schaltflanke des FETs hervorgerufen. Diese Schaltflanke bildet mit parasitären Kapazitäten und Leitungsinduktivitäten hochfrequente LC-Schwingkreise, die zu unerwünschten Störfrequenzen führt. Falls Masse-Leiterbahnen nicht niederimpedant sind oder einzelne Leiterbahnzüge Ströme verkoppeln, so kann es zu Common-Mode-Störungen kommen und koppeln kapazitiv in Richtung der Störquelle aus. Differential-Mode-Störungen treten aufgrund der diskontinuierlichen Stromaufnahme des FETs auf und verursachen an dem parasitären Serienwiderstand ESR des Eingangskondensators einen Spannungsabfall. [9]

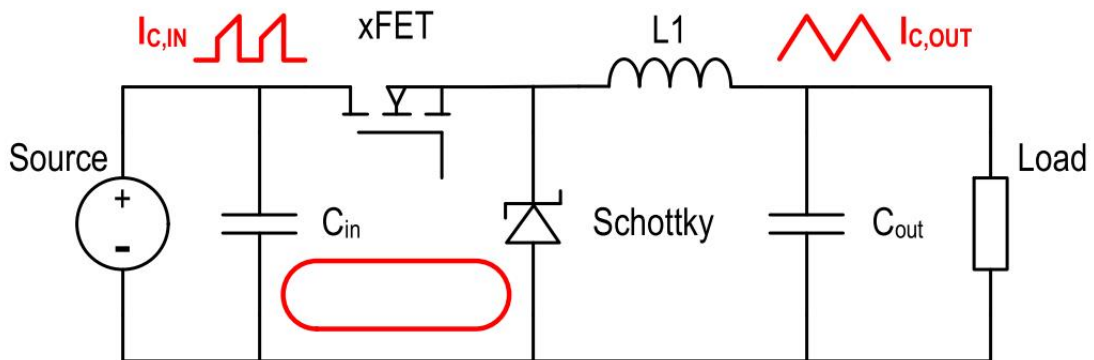


Abbildung 2.7: Kritische Stromschleife eines Buck-Konverters. [9]

Abbildung 2.7 zeigt die kritische Stromschleife eines Buck-Konverters. Um Störungen zu minimieren ist diese Schleife so kurz wie möglich zu designen, da in dieser Schleife hohe Stromflanken di/dt zu erwarten sind. [9]

Es wird empfohlen die Strompfade der kritischen Stromschleife mit hohen Stromflanken di/dt , sowie den gesamten Leistungspfad so kurz und breit wie möglich zu gestalten um die Leitungsinduktivität, den elektrischen Widerstand und den Spannungsabfall so gering wie möglich zu halten. Bauelemente im Leistungspfad sollten außerdem auf der selben Seite der PCB platziert werden. [10]

3 Planung und Konzept

3.1 Ausgangssituation

Ziel dieser Arbeit ist es eine DC/DC-Buck-Konverterplatine um eine Strommessung des mittleren Spulenstromes und des Ausgangs-Stromes zu erweitern. Außerdem ist gefordert, das Switching Noise zu reduzieren. Dies geschieht dadurch, indem das PCB-Layout verbessert wird. Um jedoch eine Verbesserung vornehmen zu können, muss die aktuelle Ausgangssituation betrachtet werden. Die letzte Revision des Konverters, die auch in den Praktika der OTH Regensburg in Verwendung ist und somit auf korrekte Funktion getestet wurde, ist die Platine Rev5 von Chong Kwang Liang.

DCDC Circuit

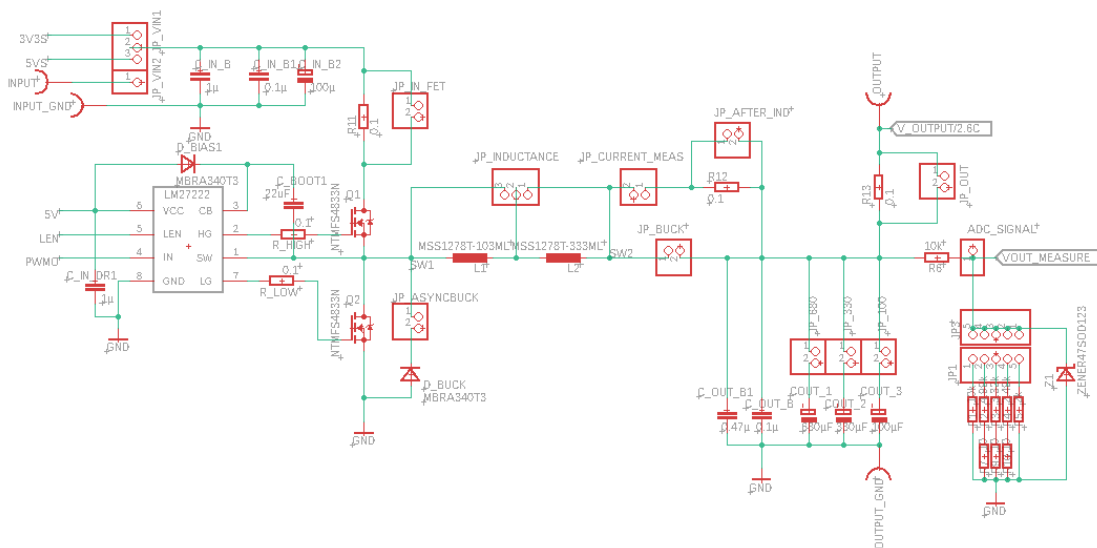


Abbildung 3.1: PCB-Schaltplan Seite 1 des DC/DC-Buck Revision 5 der OTH Regensburg.

Abbildung 3.1 veranschaulicht den Leistungspfad, sowie die Ansteuerung des Bucks. Links oben mit Jumper *JPVIN1* und *JPVIN2* gekennzeichnet, sind die Eingangsspannungen, bei denen wahlweise zwischen einer externen Quelle oder zwischen den Spannungen 3V3 oder 5V des Entwicklerboards gewählt werden kann. Die Stabilisierung dieser Spannungen erfolgt durch Eingangskondensatoren. Unterhalb der Versorgung ist der Ansteuer-IC (Integrated Circuit) *LM27222* der Firma Texas Instruments für den Buck mit zugehöriger Verschaltung abgebildet [11]. Dieser Chip steuert die beiden MOSFETs in Abhängigkeit des PWM-Signals an, das von dem Field Programmable Gate Array (FPGA) des Entwicklerboards erzeugt wird. Die Induktivität des Konverters, sowie die Kapazität der

Ausgangskondensatoren ist über Jumper einstellbar. Die Ausgangsspannung kann entweder über Bananenbuchsen abgegriffen werden oder auf der zweiten Seite des Schaltplans über einen Lastwiderstand abfallen. Ebenso dient die Ausgangsspannung als Eingangsgröße für den ADC-Wandler und kann über eine Stiftleiste dem Entwicklerboard zugeführt werden. Dafür wird die Ausgangsspannung an Pin 2 (ADC-Kanal 0) der 10-poligen Steckerleiste angeschlossen. Über einen Widerstandsteiler ist es möglich die Ausgangsspannung für den Wandler zu skalieren.

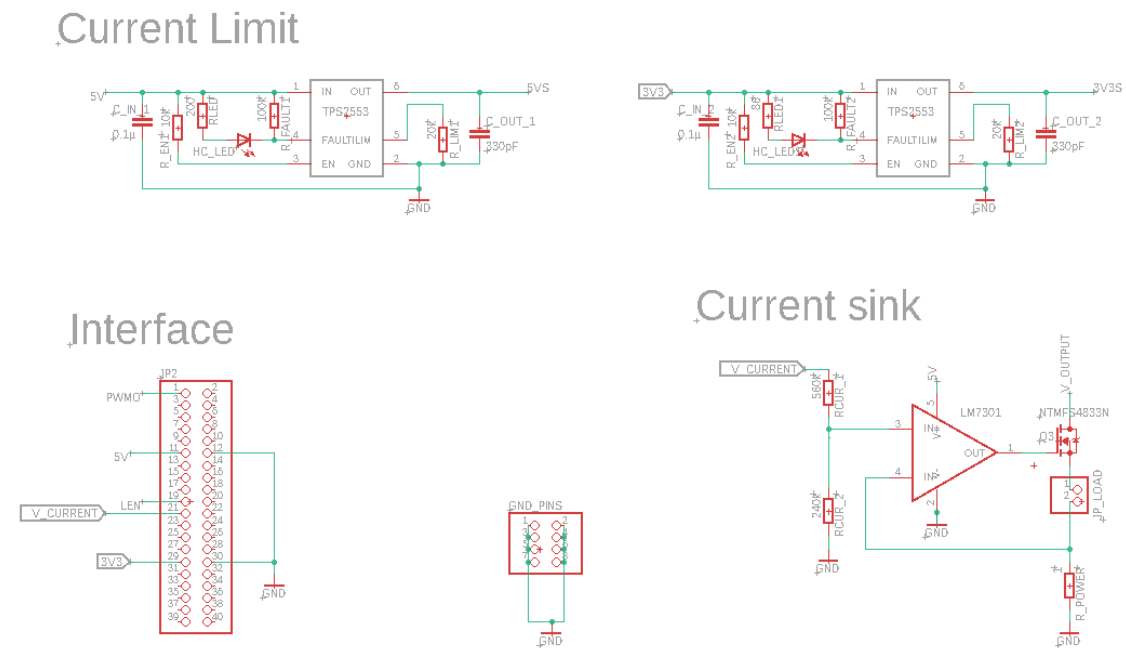


Abbildung 3.2: PCB-Schaltplan Seite 2 des DC/DC-Buck Revision 5 der OTH Regensburg.

In Abbildung 3.2 sind die beiden Überstromüberwachungen, die Schnittstelle zu dem Entwicklerboard und die interne Stromsenke abgebildet. Bei einem zu hohen Laststrom über eine externe Last, der internen Stromsenke oder aufgrund eines Kurzschlusses lösen diese Überstromüberwachungen aus. Dies wird durch eine rote Light Emitting Diode (LED) signalisiert. Der Widerstandsteiler der Stromsenke sorgt dafür, dass der Laststrom auf maximal 1 A steigen kann.

Bei genauerer Betrachtung des gesamten Schaltplans fällt auf, dass einige Jumper und niederohmige Widerstände, die teilweise parallel zu diesen Jumpern verschaltet sind, integriert sind. Diese dienen als Messmöglichkeiten für Spannungen und Ströme auf dem Board.

In Abbildung 3.3 ist das Layout der Platine Rev5 dargestellt. Die Überstromüberwachungen der beiden Versorgungen sind in gelb umrandet. Außerdem ist die kritische Stromschleife in pink eingezeichnet. Hierbei handelt es sich bei der gestrichelten Linie um die Verbindung zwischen dem Ground der Schottky-Diode und dem Ground des Eingangskondensators. Da dieses Ground über ein sogenanntes Ground-Polygon verbunden ist, kann diese Verbindung auf kürzesten Weg eingezeichnet werden. Es ist zu erkennen, dass die Stromschleife nicht wie in 2.5 geschildert, so kurz wie möglich gehalten ist. Des Weiteren unterscheiden sich

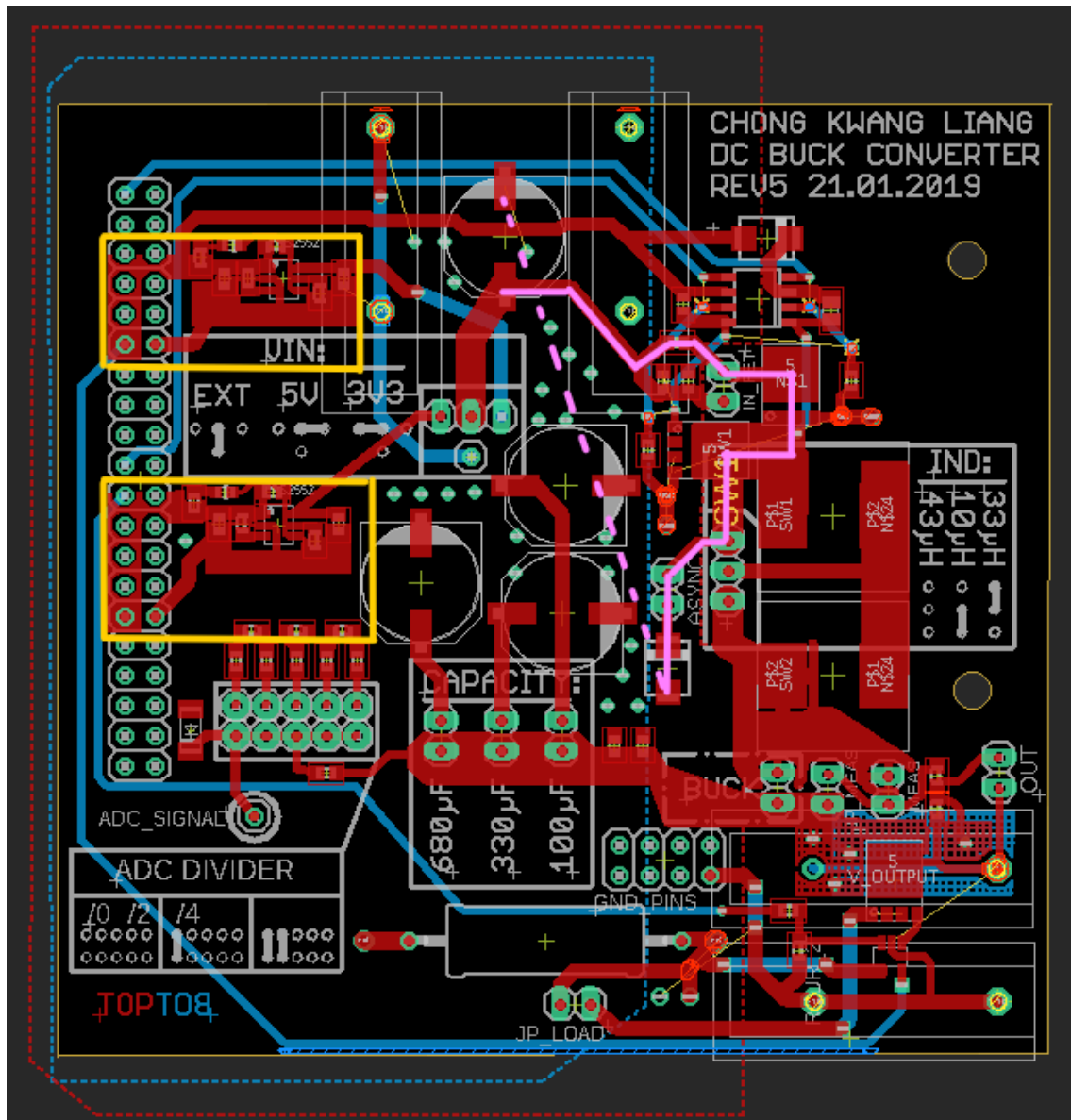


Abbildung 3.3: PCB-Layout des DC/DC-Buck Revision 5 der OTH Regensburg.

die Leiterbahnbreiten, da die Leiterbahnen zur Schottky-Diode hin schmäler sind als der Rest der Schleife. Dies kann beispielsweise zu Problemen in der Wärmeabfuhr oder der Elektromagnetische Verträglichkeit (EMV) der Platine führen. Ebenso ist der Ansteuer-IC nah an den MOSFETs platziert, wodurch ebenfalls Probleme mit der EMV entstehen können. Außerdem ist zu erkennen, dass die Ausgangskondensatoren sehr weit von der internen beziehungsweise externen Stromsenke entfernt sind.

3.2 Strommessung

In Kapitel 2.3.2 wurde erläutert, dass für eine Regelung eines Tiefsetzstellers nach dem Current-Mode-Prinzip eine Strommessung notwendig ist. Diese Strommessung soll in den Schaltplan und das Layout der DC/DC-Buck Platine integriert werden, um die Hardware

für die Regelung vorzubereiten. Es wird eine digitale Regelung mittels FPGA angestrebt, der als Eingangsgröße den mittleren Spulenstrom benötigt. Dies kann wie in Abbildung 2.3 über die Messung in der Mitte der On-Phase oder Off-Phase geschehen. Da das PWM-Signal ebenfalls von dem FPGA erzeugt wird, ist der Takt bekannt und es kann digital zu den passenden Zeiten gemessen werden. Die Messung des mittleren Spulenstromes ist bevorzugt anzuwenden, um Störgrößen aufgrund von Schaltflanken zu minimieren. Der Tiefsetzsteller ist außerdem mit einer Strommessung des Ausgangs-Stromes auszustatten. Diese Messung findet ebenfalls über einen Shunt-Widerstand nach dem Ausgangsfilter statt.

Die Messung des Stromes soll hierbei über den Spannungsabfall an einem Shunt-Widerstand erfolgen. Unter Shunt-Widerstände versteht man Widerstände, die im allgemeinen eine geringe Fertigungstoleranz und einen geringen Temperaturkoeffizienten aufweisen. Um die Verlustleistung zu minimieren ist ein niederohmiger Widerstand zu wählen. Wird der Wert des Widerstandes jedoch zu klein gewählt, so kann unter Umständen trotz Verstärkung die gewünschte Spannung nicht erreicht werden.

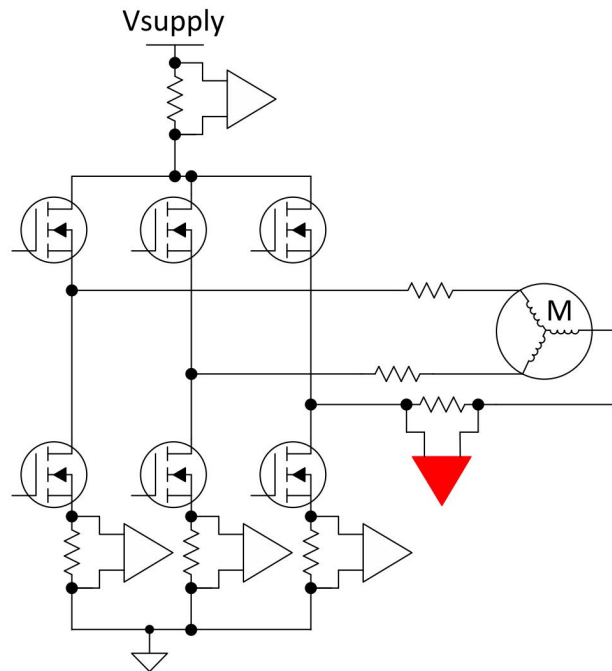


Abbildung 3.4: Methoden zur Implementierung einer Strommessung. [12, S. 5]

In Abbildung 3.4 sind drei Möglichkeiten zur Strommessung eines Motors aufgezeigt. Analog dazu können diese drei Arten auf den Tiefsetzsteller überführt werden, wobei anstatt der drei Phasen und einem Motor als Last, lediglich ein Leistungspfad mit Last vorhanden ist. Die drei verschiedenen Messpunkte unterscheiden sich in High-Side-, Low-Side-, oder Inline-Messung. High-Side-Messungen sind direkt mit der Spannungsversorgung, und Low-Side-Messungen sind direkt mit dem Ground verbunden. Da im Falle des Tiefsetzstellers eine Strommessung direkt nach der Spule zu implementieren ist, wird auf die Inline-Messung zurückgegriffen, die in Abbildung 3.4 in rot hervorgehoben ist. Einziger Nachteil der Position

dieser Messung ist, dass eine hohe Gleichtaktunterdrückung des Verstärkers erforderlich ist. [12, S. 5]

Abbildung 3.5 zeigt in 3.5a die allgemeine Beschaltung eines Differenzverstärkers und in 3.5b die Integration eines Differenzverstärkers in einen Leistungspfad mit Shunt-Widerstand. Gilt $R_1/R_2 = R_3/R_4$ so kann die Ausgangsspannung des Differenzverstärkers mit der Formel $U_a = R_2/R_1 \cdot (U_2 - U_1)$ berechnet werden. Bei der Entwicklung einer Strommessung ist die Auswahl eines Shunt-Widerstandes, die korrekte Leiterbahnverlegung zwischen Shunt und Operationsverstärker und letztendlich die richtige Auswahl eines passenden Operationsverstärkers sorgfältig auszuführen. [5, S. 422, 13]

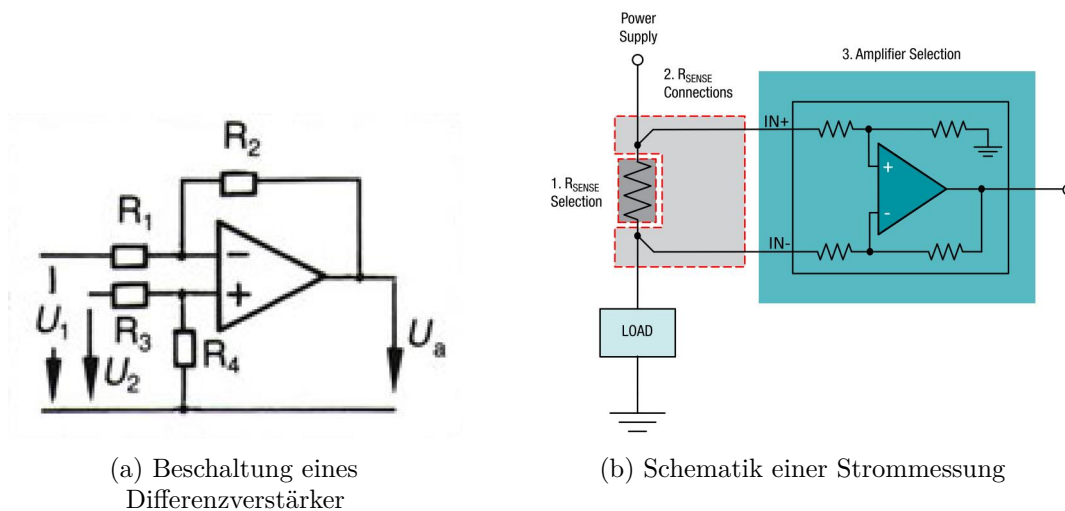


Abbildung 3.5: Funktionsprinzip einer Strommessung mit Operationsverstärker. [5, S. 422, 13]

In Abbildung 3.6 ist dargestellt, wie die Verbindung zu einem Shunt-Widerstand für eine präzise Strommessung realisiert werden muss. Diese Art der Leiterbahnführung nennt sich Kelvin-Verbindung. [14]

Strommesssignale vom Shunt zum Verstärker sind sehr anfällig für Rauschen, da die Amplitude von einigen Millivolt sehr gering und vergleichbar mit der Amplitude der Störgrößen ist. Deshalb sollten die Leiterbahnen so kurz wie möglich und parallel mit geringen Abstand geführt sein, um kapazitive Einkopplungen zu vermeiden. [10, S. 12]

Die Verstärkung eines Strommess-ICs muss bei der Schaltfrequenz des Schaltwandlers konstant sein. Darüber hinaus ist eine Verstärkung der 3. Oberwelle erwünscht. Das bedeutet im Fall des Tiefsetzstellers der OTH Regensburg, dass eine konstante Verstärkung bei einer Schaltfrequenz von $f_s = 151 \text{ kHz}$ gefordert ist.

Der 12 Bit-ADC-Wandler des Entwicklerboards mit einer Auflösung von 1 mV kann entweder Spannungen im Bereich von -2048 mV bis 2047 mV oder 0 mV bis 4096 mV auflösen. Bei einer Verstärkung von 100 V/V und einem Shunt-Widerstand von $10 \text{ m}\Omega$ können somit Ströme von -2048 mA bis 2047 mA oder 0 mA bis 4096 mA gemessen werden.

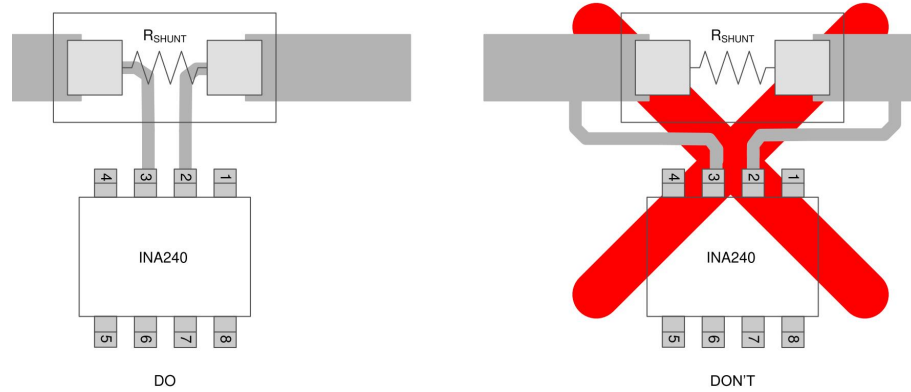


Abbildung 3.6: Kelvin Verbindung eines Shunt-Widerstandes. [14]

Die VHDL-Software (Very High Speed Integrated Circuit Hardware Description Language) ist so geschrieben, dass 3 Messungen pro PWM-Periode, bei einer Periodendauer von $330 \text{ Takte} * 20 \text{ ns/Takt} = 6.6 \mu\text{s}$ stattfinden. Zu jeder Periodendauer werden die Ausgangsspannung, der mittlere Spulenstrom, sowie der Ausgangsstrom gemessen. Die Messung der Referenzspannung erfolgt nach Ablauf eines Zählers und ersetzt in dieser Periode die Messung des Ausgangs-Stromes.

Für die Messung des Stromes über einen Shunt-Widerstand wurde ein hochgenauer Strommessverstärker-IC INA240A4 der Firma Texas Instruments mit einer Verstärkung von 200 V/V gewählt. Dazu passend wird ein Shunt-Widerstand mit einem Wert von $5 \text{ m}\Omega$ ausgewählt. Der Strommessverstärker ist für die Schaltfrequenz geeignet und sorgt für eine hohe Gleichtaktunterdrückung. [14]

3.3 Optimierungsmöglichkeiten des aktuellen DC/DC-Buck-Konverters

In Kapitel 2.5 wurden die Grundlagen für ein gutes Layoutdesign gelegt. Außerdem wurde in Kapitel 3.1 die Ausgangssituation aufgezeigt. Nun soll der Tiefsetzsteller um eine Strommessung des mittleren Spulenstromes und des Ausgangs-Stromes erweitert werden. Des Weiteren ist eine Trennung der Eingangsspannungen gefordert, um nach einem Überstromereignis die Überstromüberwachungen zurücksetzen zu können. Ebenfalls werden die Leistungspfade einheitlich verbreitert und die kritische Stromschleife verkleinert. Die Grundflächen werden in einem Polygon über die ganze Platine erweitert. Daraufhin folgt die Auswahl der Bauteile, die Platzierung und die Anpassung der Footprints.

4 Umsetzung

Im Folgenden sind die Schritte vom ersten Prototypen bis hin zum fertigen Produkt aufgeführt. Hierbei wird kurz auf die Veränderungen zur in Kapitel 3.1 beschriebenen Ausgangssituation eingegangen. Dazu zählen Änderungen im Schaltplan und Layout. Bei den ersten beiden Versionen werden hierzu jeweils nur Ausschnitte erklärt. Abschließend wird die letzte Version genauer erläutert. Die Versionen der Boards werden mit Seriennummern in der Form XX.YY.ZZ versehen. Die Bedeutung der Platzhalter ist wie folgt:

- XX: Eine grundlegende Änderung von Schaltplan und Layout (z.B. Erweiterung Strommessung).
- YY: Verbesserung eines Schaltplans oder Layouts der Serie XX.
- ZZ: Unabhängiger Indikator für ein Update ohne den Bau weiterer Hardware von:
 - entweder der Software von Board XX.YY, oder
 - dem Schaltplan oder Layout des Boards XX.YY.

Die Steckerleiste der ADC-Pins wird mit der Steckerleiste des Entwicklerboards über ein Flachbandkabel verbunden. In Tabelle 4.1 ist die Belegung der Pins aufgelistet. Hierbei bedeutet beispielsweise ADC_0, dass es sich um den Kanal 0 des Analog-Digital-Konverters handelt.

Tabelle 4.1: Pin-Belegung der Steckerleiste des Konverters und deren Bedeutung.

Pin-Nummer Steckerleiste	Belegung des Entwicklerboards
1	VCC
2	ADC_0
3	ADC_1
4	ADC_2
5	ADC_3
6	ADC_4
7	ADC_5
8	ADC_6
9	ADC_7
10	GND

In Abbildung 4.1 ist aufgelistet, wie die acht Kanäle des ADCs konfiguriert werden können. Es gibt acht differenzielle Möglichkeiten zur Messung und acht Messmöglichkeiten mit Bezug zu Ground.

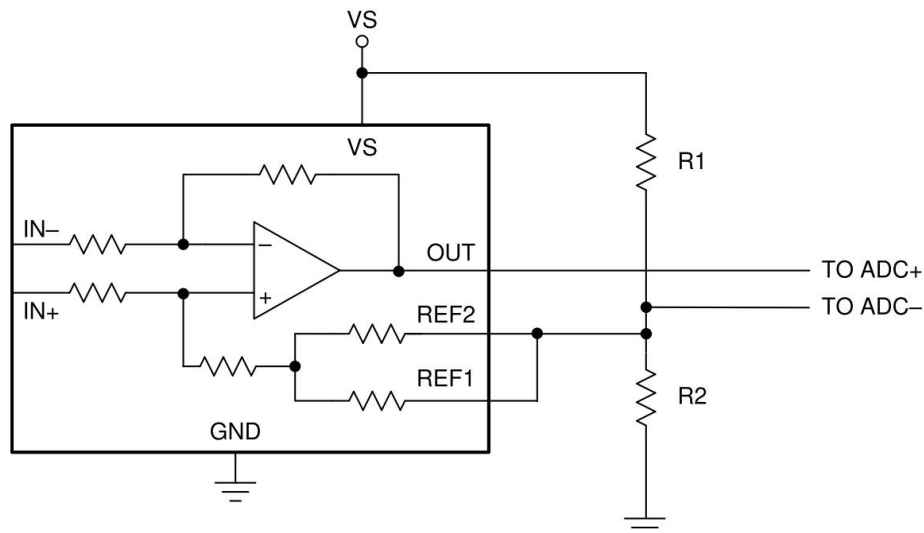
S/D	O/S	S1	S0	0	1	2	3	4	5	6	7	COM
0	0	0	0	+	-							
0	0	0	1			+	-					
0	0	1	0					+	-			
0	0	1	1							+	-	
0	1	0	0	-	+							
0	1	0	1			-	+					
0	1	1	0					-	+			
0	1	1	1							-	+	
1	0	0	0	+								-
1	0	0	1			+						-
1	0	1	0					+				-
1	0	1	1							+		-
1	1	0	0		+							-
1	1	0	1				+					-
1	1	1	0						+			-
1	1	1	1								+	-

Abbildung 4.1: Konfigurationsmöglichkeiten des Analog-Digital-Wandlers. [8]

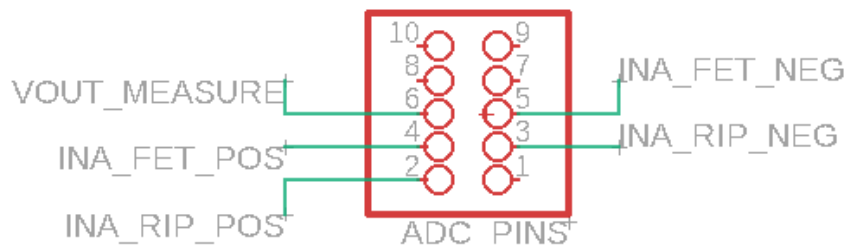
4.1 Konverter Revision 10.00

Der Konverter Revision 10.00 gilt als erster Prototyp und wird mit zwei Strommessungen ausgestattet. Die Ausgangssignale der Strommessungen sind auf der Steckerleiste der ADC-Pins angeschlossen. In Abbildung 4.2a ist die Beschaltung der beiden Strommessverstärker dargestellt. Die Werte der zwei Widerstände R1 und R2 betragen jeweils 4.99 k Ω und stellen je nach gewählter Eingangsspannung eine Mittelpunktsspannung von 2.5 V beziehungsweise 1.65 V ein. Zwischen den Pins IN+ und IN- befindet sich der Leistungspfad mit dem 5 m Ω -Shunt. Die Ausgänge der beiden Verstärker werden wie in Abbildung 4.2b an den ADC-Pins angeschlossen. Die Bezeichnung INA-RIP steht hierbei für die Messung des mittleren Spulenstromes und die Bezeichnung INA-FET für die Messung der Ausgangsspannung. Gemäß Abbildung 4.1 sind die Ströme differenziell und die Ausgangsspannung gegen Ground gemessen.

Des Weiteren sind BNC-Buchsen zur Messung der Ausgangsspannung und zur Einspeisung externer Spannungen vorgesehen. Der Abgriff an diesen Buchsen erfolgt durch Koaxialkabel. Dadurch ist eine weniger stör anfällige Messung möglich. Die Überstromüberwachungen werden angepasst und erhalten eine Trennmöglichkeit. Außerdem ist die kritische Stromschleife verringert, und die Leiterbahnbreite des Leistungspfades vergrößert.



(a) Beschaltung des Strommessverstärkers bei der Konverterversion 10.00. [14]



(b) Belegung der ADC-Pins bei der Konverterversion 10.00.

Abbildung 4.2: Teile der Schaltung des Konverters Version 10.00.

4.2 Konverter Revision 10.01

Aufgrund der Kompatibilität ist die Anordnung der ADC-Pins zu ändern. Es wird eine neue Software von Prof. Dr. Schubert geschrieben, die für die Revision 5 und Revision 10.01 anwendbar ist. Dafür ist die Ausgangsspannung bei Revision 10.01 wieder auf den ursprünglichen Pin 2 zu legen. Dies bedeutet gemäß Abbildung 4.1, dass nun die Ausgangsspannung wieder auf Kanal 0 des Wandlers gemessen wird.

Des Weiteren ist für die Messung der offenen Schleifenverstärkung der beiden Strommessungen eine Trennmöglichkeit mittels der beiden Jumper JP-OL-VOUT und JP-OL-IL vorgesehen. Die Eingangsspannung der Strommessverstärker-ICs werden auf ein festes VCC von 5 V gelegt. Die Referenzspannung, die in der Revision 10.00 durch einen Widerstandsteiler erzeugt wurde, wird durch einen dafür entwickelten IC ersetzt. Dieser sorgt dafür, dass die Referenzspannung unabhängig von Eingangsspannungsschwankungen präzise auf einem konstanten Wert von 2.048 V gehalten wird.

In Tabelle 4.2 ist die Belegung der ADC-Pins aufgelistet.

Tabelle 4.2: Anschluss-Belegung der ADC-Pins bei der Konverter Version 10.01.

Pin-Nummer Steckerleiste	Belegung des Entwicklerboards	Anschluss des Konverters
1	VCC	VCC
2	ADC_0	V_Out
3	ADC_1	GND
4	ADC_2	GND
5	ADC_3	GND
6	ADC_4	V_IL+
7	ADC_5	V_REF
8	ADC_6	V_REF
9	ADC_7	V_IOUT+
10	GND	GND

Außerdem wird der Schaltplan und das Layout um zwei BNC-Buchsen zur Messung der Ausgangsspannungen der Strommessverstärker erweitert. Jumper, die in Revision 5 zu Messzwecken genutzt wurden und nun nicht mehr notwendig sind, werden entfernt.

4.3 Konverter Revision 10.02

In den Abbildungen 4.3 und 4.4 ist die Erweiterung des Schaltplans um die Messung des mittleren Spulenstromes und des Ausgangs-Stromes illustriert. In Abbildung 4.3 sind die beiden BNC-Buchsen zur Messung der Ein- und Ausgangsspannung abgebildet. Die Verschaltung des Referenzspannungs-ICs und die Belegung der ADC-Pins kann aus Abbildung 4.4 entnommen werden. Die Belegung der ADC-Pins ist unverändert gemäß Tabelle 4.2.

Das Layout des Tiefsetzstellers Revision 10.02 wird schrittweise erstellt. Zuerst werden die Bauelemente gruppiert. Die Gruppen sind wie folgt:

- Überstromüberwachung der Versorgungsspannungen mit zugehöriger Verschaltung
- Bauelemente der kritischen Stromschleife
- Ansteuerung der MOSFETs mit zugehöriger Verschaltung
- Induktivitäten mit Jumper
- Ausgangskondensatoren mit Jumper
- Strommessverstärker mit zugehöriger Verschaltung
- Referenzspannungsschaltung
- Interne Last mit zugehörigem Strombegrenzer
- ADC-Spannungsteilerschaltung

Anschließend folgt die Platzierung der einzelnen Gruppen auf dem Board. Bauteile, die auf der Oberseite der Platine keinen Platz haben, werden auf der Unterseite platziert. Leiterbahnen, die den Laststrom führen werden einheitlich breit von der Versorgung bis hin zur Last verlegt. Abschließend ergänzen Vias die Anbindung der Groundflächen auf dem Board und sorgen an den Rändern der Platine zur Abschottung von Störsignalen. Vias sind Bohrungen mit Durchkontaktierung von der Ober- zur Unterseite. In der Version 10.02 des Konverters wird schließlich noch die Platzierung der Bananen- und BNC-Buchsen geändert um ein leichtes Anschrauben zu ermöglichen.

In Abbildung 4.5 ist das Layout des Tiefsetzstellers Revision 10.02 dargestellt. Die beiden Überstromüberwachungen der Eingangsspannungen sind in orange umrandet. Die kritische Stromschleife ist in pink eingezeichnet. Die Bauteile sind so angeordnet, dass diese Stromschleife so gering wie möglich ist. Außerdem sind die beiden Strommessverstärker in grün und die Referenzspannungsbildung in braun eingezeichnet.

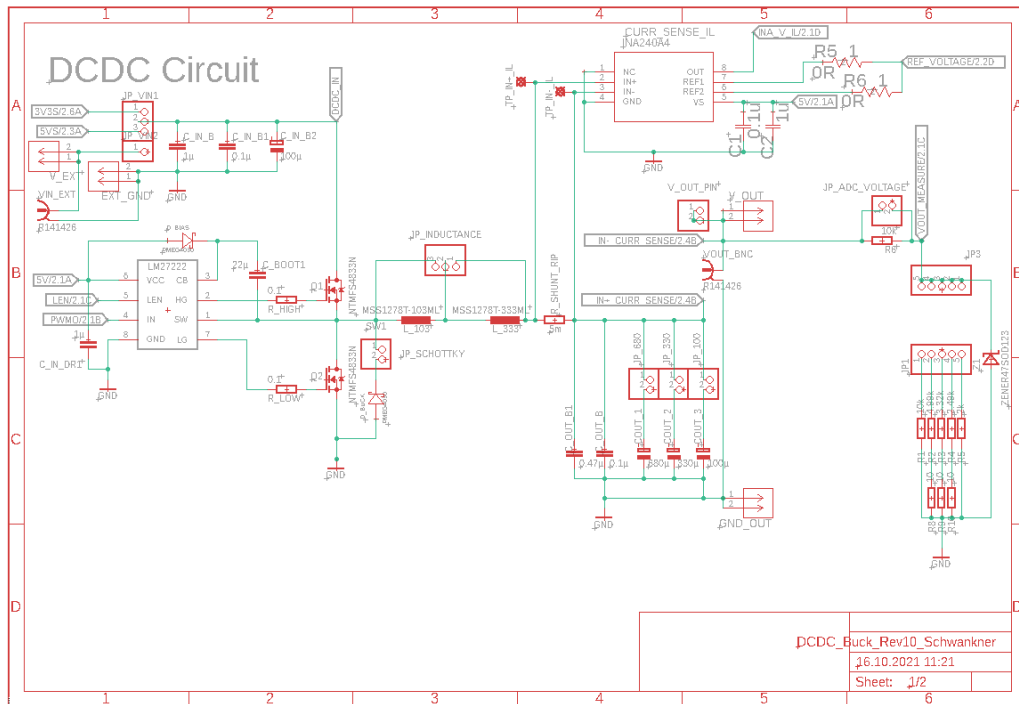


Abbildung 4.3: PCB-Schaltplan Seite 1 des DC/DC-Buck Revision 10.02 der OTH Regensburg.

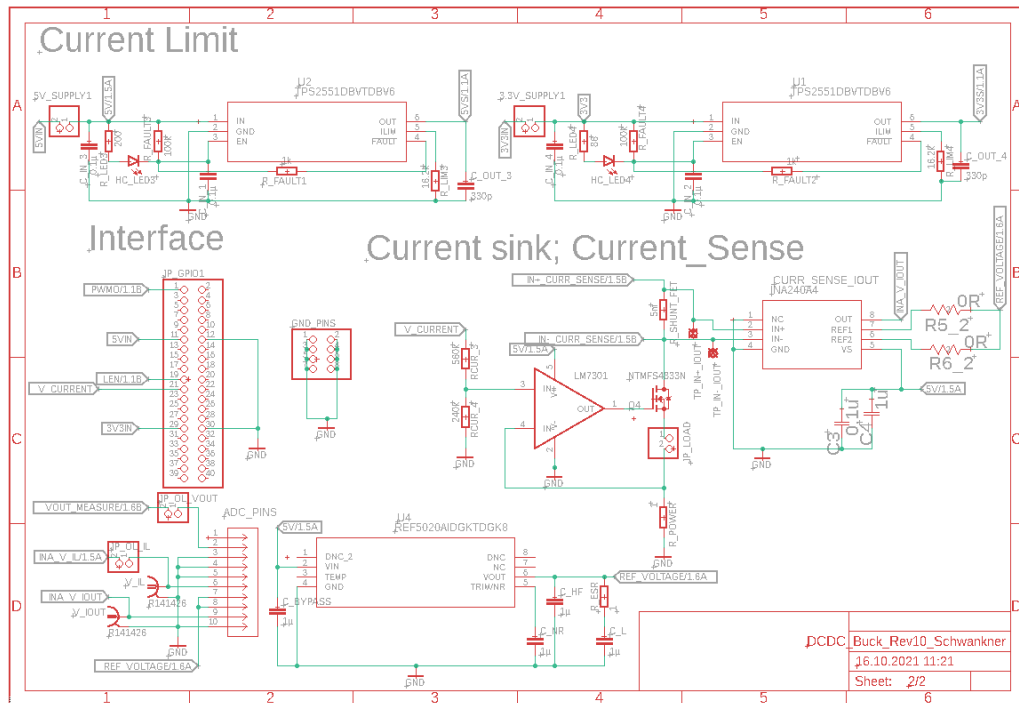


Abbildung 4.4: PCB-Schaltplan Seite 2 des DC/DC-Buck Revision 10.02 der OTH Regensburg.

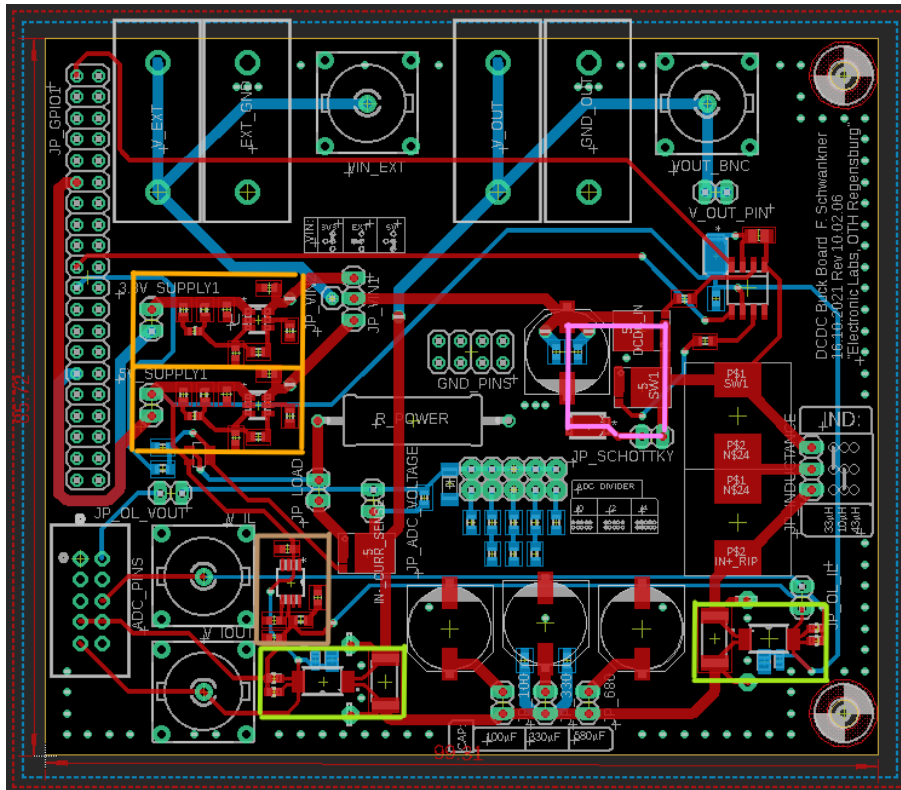


Abbildung 4.5: PCB-Layout des DC/DC-Buck Revision 10.02 der OTH Regensburg.

4.4 Bestellvorgang und Lötarbeiten

In dem Programm zur Leiterplattenentwicklung EAGLE besteht die Möglichkeit, Bauteilen einen Namen und Wert, sowie Bestellnummern von Herstellern anzugeben. Ist die Suche nach Bauelementen abgeschlossen kann daraus eine Bestellsliste erstellt werden. Die Platine wird bei dem Leiterplattenhersteller Multi Circuit Boards bestellt. Dabei können Spezifikationen wie etwa Lötstoplack, Bestückungsdruck und Platinendicke ausgewählt werden.

Die Platine wird in zwei Vorgängen bestückt. Zuerst erfolgt die Bestückung der Bauelemente, die für den Reflow-Ofen geeignet sind und im Anschluss werden die restlichen Bauelemente von Hand aufgelötet. Bei dem Vorgang des Reflow-Lötens wird eine Platine in einen Ofen mit spezifiziertem Temperaturprofil gelötet. Dazu wärmt man den Ofen vor und legt die Platine ein, woraufhin die Temperatur langsam bis kurz unter die Schmelztemperatur der Lötpaste erhöht wird. Anschließend wird die Temperatur für eine kurze Zeit über die Schmelztemperatur erhöht und abschließend schnell abgekühlt.

Die Bestückung der Bauelemente für das Löten im Reflow-Ofen erfolgt in drei Schritten:

- Lötpaste auf die Platine auftragen
- Bauelemente platzieren
- Platine im Reflow-Ofen löten

Abschließend erfolgt eine Kontrolle der Lötergebnisse.

5 Validierung und Messung

In diesem Kapitel geht es darum, anhand von Messungen die erzielten Ergebnisse genauer zu beleuchten. Die drei gefertigten Boards werden mit dem VHDL-Code von Prof. Dr. Martin Schubert betrieben. Dabei sind die Boards mit der Spannungsvorgabe von 1500 mV geregelt. Die Bucks laufen bei den Messungen im asynchronen Modus mit eingeschalteten Laststrom. Asynchroner Modus bedeutet, dass der Strom während der Off-Phase über die Schottky-Diode und nicht über den Low-Side-MOSFET fließt.

5.1 Erster Prototyp

Messungen an dem ersten Prototypen sind in Abbildung 5.1 dargestellt. Das PWM-Signal ist auf den Kanal 1 (gelb) des Oszilloskops abgebildet. Eine Taktperiode beträgt hier bei der Schaltfrequenz von $f_s = 151 \text{ kHz}$ in etwa $6.6 \mu\text{s}$.

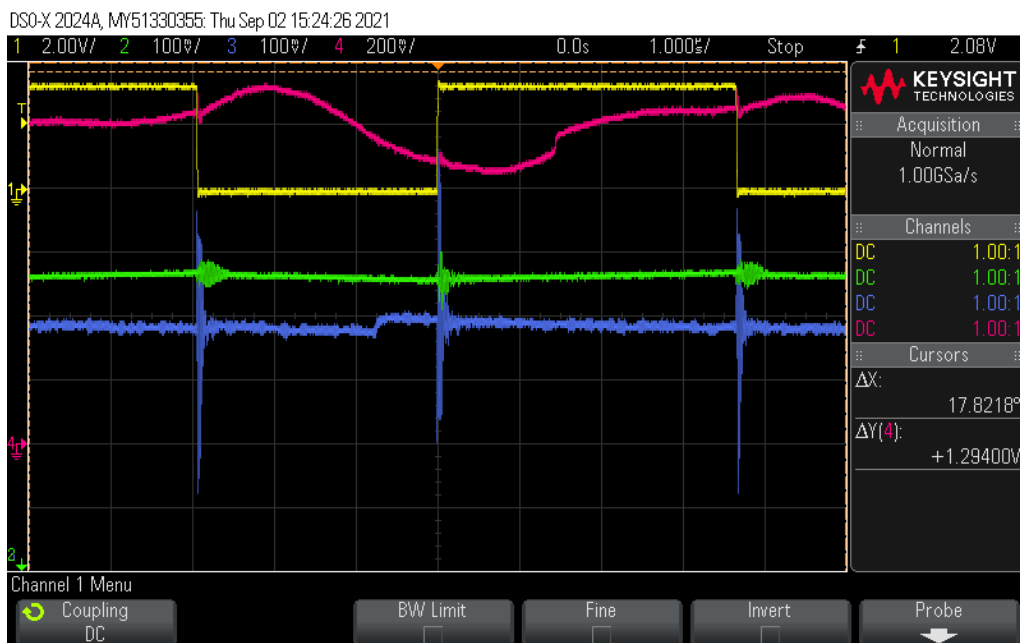


Abbildung 5.1: Oszilloskop-Aufnahme der Version 10.00. CH1: PWM-Signal des Bucks, CH2: V-Out an BNC-Buchse, CH3: V-Out an Stiftleiste, CH4: Spulenstrom an BNC-Buchse

Auf Kanal 2 (grün) ist die Ausgangsspannung des Konverters dargestellt, die über eine BNC-Buchse abgegriffen wird. Das Switching Noise beträgt hier in etwa 70 mV. Im Vergleich dazu ist auf Kanal 3 (blau) die Ausgangsspannung über eine Stiftleiste abgegriffen. Hier beträgt das Switching Noise mehr als 400 mV. Daraus wird deutlich, dass die Messmethode einen erheblichen Unterschied verursacht. Störsignale können durch kapazitive Einkopplung

oder elektromagnetische Strahlung entstehen, die durch einen Abgriff an einer BNC-Buchse erheblich minimiert werden. Der gemessene Spulenstrom auf Kanal 4 (pink) des Oszilloskops wird von den Schaltflanken des MOSFETs nur geringfügig gestört. Jedoch ist ein Phasenversatz zwischen PWM-Signal und dem Spulenstrom ersichtlich. Bei steigender Schaltflanke wird ein steigender Spulenstrom erwartet. Analog dazu ist das Verhalten bei sinkender Schaltflanke. Daraus wird deutlich, dass der Strommessverstärker einen zeitlichen Versatz von circa $1\ \mu\text{s}$ verursacht. Der mittlere Spulenstrom beträgt circa 1 A.

5.2 Zweiter Prototyp

Bei der Oszilloskop-Aufnahme Kanal 1 (gelb) in Abbildung 5.2 handelt es sich wieder um das PWM-Signal des Konverters.

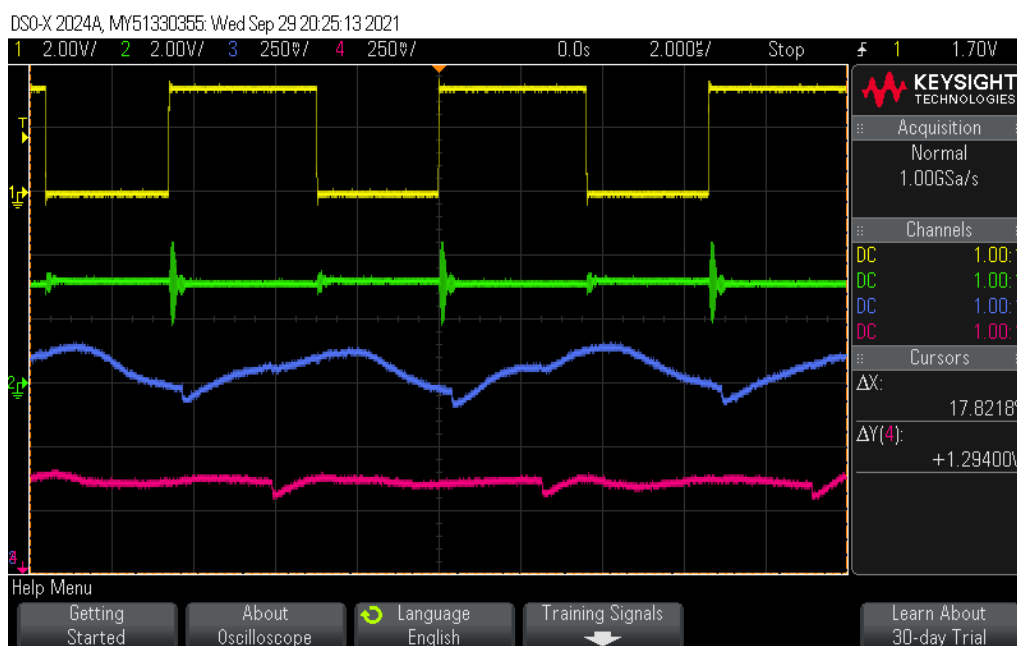


Abbildung 5.2: Oszilloskop-Aufnahme der Version 10.01. CH1: PWM-Signal des Bucks, CH2: V-In an BNC-Buchse, CH3: Spulenstrom an BNC-Buchse, CH4: Ausgangsstrom an BNC-Buchse

Bei dieser Messung wird das Switching Noise auf der Eingangsseite betrachtet, indem auf Kanal 2 (grün) die Eingangsspannung mit einem Rauschen von circa 2.2 V gemessen wird. Kanal 3 (blau) zeigt den gemessenen Spulenstrom und Kanal 4 (pink) den Ausgangsstrom. Bei dieser Version ist der zeitliche Versatz der Strommessungen lediglich bei circa $0.5\ \mu\text{s}$.

5.3 Finale Version

In Abbildung 5.3 sind die Messungen der finalen Version 10.02 dargestellt. Kanal 1 (gelb) zeigt wieder das PWM-Signal. Die Ausgangsspannung auf Kanal 2 (grün), die über die BNC-Buchse gemessen wird, zeigt im Vergleich zu Version 10.00 ein erhöhtes Switching Noise. Dies ist auf die schlechtere Auswahl der Ausgangskondensatoren aufgrund von

Lieferschwierigkeiten zurückzuführen. Kanal 3 (blau) zeigt den gemessenen Spulenstrom und Kanal 4 (pink) den gemessenen Ausgangsstrom. Der mittlere Spulenstrom und der Ausgangsstrom beträgt circa 1 A.

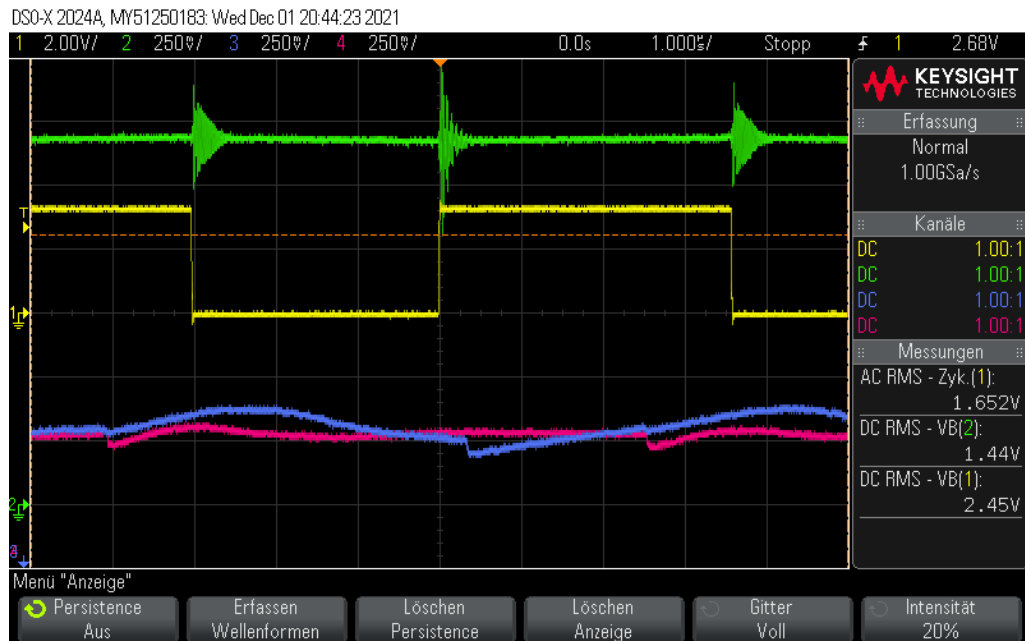


Abbildung 5.3: Oszilloskop-Aufnahme der Version 10.02. CH1: PWM-Signal des Bucks, CH2: V-Out an BNC-Buchse, CH3: Spulenstrom an BNC-Buchse, CH4: Ausgangsstrom an BNC-Buchse

6 Fazit und Ausblick

Ziel dieser Arbeit war die Erweiterung einer DC/DC-Buck-Konverterplatine zur Messung des mittleren Spulenstromes und Ausgangs-Stromes mittels eines ADC. Auf der Grundlage der Strommessung ist eine Regelung des Tiefsetzstellers nach dem Current-Mode-Prinzip realisierbar. Ebenfalls sollte das Switching Noise des Konverters minimiert werden.

Die Strommessungen sind erfolgreich in den Schaltplan und in das Layout des Buck-Konverters integriert worden. Bei den Messungen mithilfe der VHDL-Software ist aufgefallen, dass der erwartete Strom von 1 A nicht erreicht werden konnte. Der Grund dafür ist, dass der Strommess-IC bei einer Schaltfrequenz von 151 kHz nicht die erwünschte Verstärkung von 200 V/V liefert.

In Abbildung 6.1 ist erkennbar, dass bei der Schaltfrequenz die Verstärkung geringfügig abweicht. Soll die Genauigkeit der Strommessungen erhöht werden, so ist in der Software dieser Verstärkungsfehler zu korrigieren.

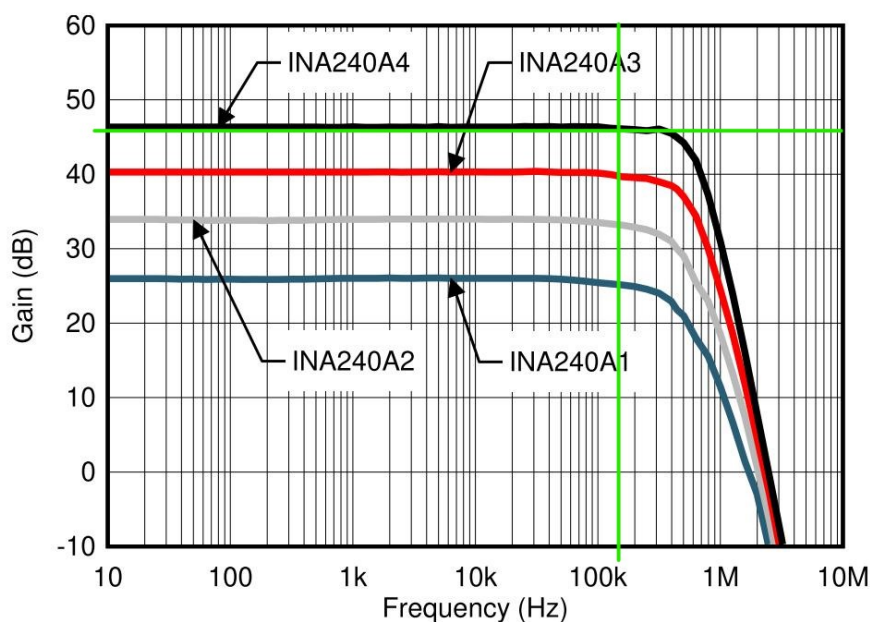


Abbildung 6.1: Die Verstärkung des Strommessverstärkers als Funktion über die Frequenz. [14]

In Kapitel 5 ist das Switching Noise des Konverters betrachtet worden. Bei den Eingangsmessungen mit dem Board Version 5 ist ein Rauschen von 250 mV gemessen worden. Mit dem ersten Prototypen wird aufgezeigt, dass eine Messung über BNC-Buchsen oder Stiftleisten einen erheblichen Unterschied aufweisen. Durch Lieferschwierigkeiten aufgrund von Corona konnten lediglich Ausgangskondensatoren mit schlechteren Werten der parasitären

Elemente gewählt werden. Dies führte dazu, dass eine Verbesserung des Switching Noise nicht realisiert werden konnte.

Im Allgemeinen ist jedoch das Platinen-Design übersichtlicher gestaltet und durch den Abgriff der Größen an den BNC-Buchsen optimiert worden.

Optimierungsmöglichkeiten des DC/DC-Buck-Konverters sind die Korrektur des Verstärkungsfehlers und die Minimierung des Switching Noise. Der fehlerhafte Verstärkungsfaktor kann in der Software korrigiert und das Switching Noise durch Anpassung der Ausgangsfilter realisiert werden.

Literaturverzeichnis

- [1] Mike Wens und Michiel Steyaert: *Design and Implementation of Fully-Integrated Inductive DC-DC Converters in Standard CMOS* Dordrecht: Springer Netherlands, 2011 ISBN: 978-94-007-1435-9 DOI: 10.1007/978-94-007-1436-6
- [2] Analog Devices, Inc. und Henry J. Zhang: „Basic Concepts of Linear Regulator and Switching Mode Power Supplies: Application Note 140“ in: URL: <https://www.analog.com/media/en/technical-documentation/app-notes/an140.pdf> (letzter Abruf am: 16.12.2021)
- [3] Shweta Dahale u. a.: „An overview of DC-DC converter topologies and controls in DC microgrid“ in: *2017 7th International Conference on Power Systems (ICPS)* IEEE, 122017, S. 410–415 ISBN: 978-1-5386-1789-2 DOI: 10.1109/ICPES.2017.8387329
- [4] Prof. Dr.-Ing. Christian Schimpfle: „Leistungselektronische Bauelemente und Schaltungen: Teilgebiet Leistungselektronische_Schaltungen“ Vorlesung LBS Regensburg: Ostbayerische Technische Hochschule Regensburg
- [5] Ekbert Hering, Klaus Bressler und Jürgen Gutekunst: *Elektronik für Ingenieure und Naturwissenschaftler* Berlin, Heidelberg: Springer Berlin Heidelberg, 2014 ISBN: 978-3-642-05498-3 DOI: 10.1007/978-3-642-05499-0
- [6] Linear Technology Corporation und Henry J. Zhang: „Modeling and Loop Compensation Design of Switching Mode Power Supplies: Application Note 149“ in: URL: <https://www.analog.com/media/en/technical-documentation/application-notes/AN149fa.pdf> (letzter Abruf am: 29.12.2021)
- [7] Terasic Technologies Inc.: *DE1-SoC User Manual* URL: https://www.terasic.com.tw/cgi-bin/page/archive_download.pl?Language=English&No=836&FID=3a3708b0790bb9c721f94909c5ac96d6 (letzter Abruf am: 05.01.2022)
- [8] Linear Technology Corporation: *LTC2308 - Low Noise, 500ksps, 8-Channel, 12-Bit ADC* URL: <https://www.analog.com/media/en/technical-documentation/data-sheets/2308fc.pdf> (letzter Abruf am: 05.01.2022)
- [9] Würth Elektronik eiSos GmbH & Co. KG und Andreas Nadler: „Auswirkungen von Layout, Bauteilen, Filtern DCDC: Application Note 044“ in: URL: https://www.wonline.com/web/de/electronic_components/produkte_pb/application_notes/anp044_auswirkungdcdcscaltregler.php (letzter Abruf am: 08.08.2021)
- [10] Linear Technology Corporation und Henry J. Zhang: „PCB Layout Considerations for Non-Isolated Switching Power Supplies: Application Note 136“ in: URL: <https://www.analog.com/media/en/technical-documentation/application-notes/an136f.pdf> (letzter Abruf am: 29.12.2021)

- [11] Texas Instruments, Incorporated: „LM27222 High-Speed 4.5A Synchronous MOSFET Driver datasheet (Rev. B): [SNVS306 B]“ in: URL: <https://www.ti.com/lit/gpn/lm27222> (letzter Abruf am: 07.01.2022)

- [12] Texas Instruments, Incorporated, Jason Bridgmon und Carolus Andres: „Current Sensing for Inline Motor-Control Applications: [SBOA172 *]“ in: URL: <https://www.ti.com/lit/pdf/sboa172> (letzter Abruf am: 06.01.2022)

- [13] Texas Instruments, Incorporated: „Simplifying Current Sensing: [SLYY154 A]“ in: URL: <https://www.ti.com/lit/pdf/slyy154> (letzter Abruf am: 06.01.2022)

- [14] Texas Instruments, Incorporated: *INA240 -4-V to 80-V, Bidirectional, Ultra-Precise Current Sense Amplifier With Enhanced PWM Rejection datasheet (Rev. C): [SBOS662 C]* URL: <https://www.ti.com/lit/gpn/ina240> (letzter Abruf am: 06.01.2022)

