

Laufende Nummer

Fachhochschule Regensburg	
Fachbereich Elektrotechnik / Mikroelektronik	
Prüfungsfach:	Schaltungstechnik (SC)
Prüfungstermin:	15.07.1997, SS 1997
Prüfungsdauer:	90 Minuten (planmäßig: 08.15 - 09.45 Uhr)
Zugelassene Hilfsmittel:	Formelsammlung
Aufgabensteller:	Prof. Dr. M. Schubert
Prüfungsteilnehmer/in:	(Bitte leserlich in Druckbuchstaben) Sem.: <u> E5N </u>
Name:	<u> M U S T E R L Ö S U N G </u>
Vorname:	<u> M a r t i n S c h u b e r t </u>

>>>>> **Alle Aufgabenblätter sind als Bestandteil der Lösung mit abzugeben !** <<<<<<

Alle zusätzlichen Blätter können nur dann gewertet werden, wenn Sie durch Angabe des Namens, des Datums und der bearbeiteten Aufgabe **eindeutig zuzuordnen** sind !

Maximal erreichbare Punktzahl: 100 Punkte.

Runden Sie Zahlenwerte typischerweise auf drei geltende Ziffern oder auf so viele Ziffern, wie offensichtlich notwendig sind (z.B. $x=0,9997$, wenn das Ergebnis $x<1$ sein muß).

>>>>> **Rot ist Korrekturfarbe, bitte keinen Rotstift verwenden !** <<<<<<

Weitere Hinweise:

Die Aufgaben sind so aufgebaut, daß Folgefehler nach Möglichkeit vermieden werden. Eine Aufgabe muß nicht in jedem Fall aufgegeben werden, wenn der Faden einmal abreißt.

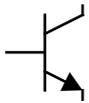
Kalkuliert wurde ein Zeitbedarf von ca. einem Punkt pro Minute. Verwenden Sie nicht zu viel Zeit für Aufgaben, die nur wenige Punkte bringen.

1 Transistorsymbole**($\Sigma=17P$)****1.1 Transistorsymbole, mit denen wir arbeiten****($\Sigma=8P$)**

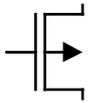
Erläutern Sie die Bedeutung des Symbols. (Beispiel: npnp Thyristor.)

(8)

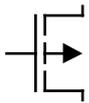
pnp Bipolar-Transistor



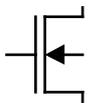
nnp Bipolar-Transistor



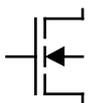
p-Kanal MOSFET, selbstleitend (engl.: depletion type)



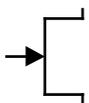
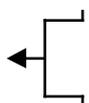
p-Kanal MOSFET, selbstsperrend (engl.: enhancement type)



n-Kanal MOSFET, selbstleitend (engl.: depletion type)



n-Kanal MOSFET, selbstleitend (engl.: enhancement type)

n-Kanal Sperrschicht FET, auch J(unction) FET genannt,
oder MESFET (MES steht für „metal - semiconductor“, z.B. Alu - GaAs)

p-Kanal Sperrschicht FET bzw. J FET (selten)

1.2 Varianten: ähnliche Symbole

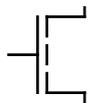
($\Sigma=5P$)

In den folgenden Zeilen sehen Sie eine Reihe von Transistorsymbolen, die mit den oben vorgestellten Symbolen identisch sind. Teilweise sind es oben benannte Transistorsymbole mit einer Randbedingung.

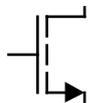
Erläutern Sie die Bedeutung des Symbols einschließlich der Randbedingungen, wenn vorhanden. (5)

Die Versorgungsspannungen heißen je nach Transistortyp V_{DD} und V_{SS} oder V_{CC} und V_{EE} .

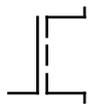
Beispiele für Randbedingungen: „Kollektor gekennzeichnet“ oder „Basis auf V_{EE} “.



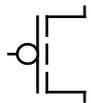
n-Kanal MOSFET, Bulk auf V_{SS}



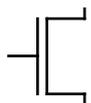
n-Kanal MOSFET, Bulk auf V_{SS} , Source mit Pfeil gekennzeichnet



n-Kanal MOSFET, Bulk auf V_{SS} , Source gekennzeichnet (rechts unten)



p-Kanal MOSFET, Bulk auf V_{DD}



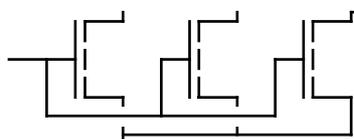
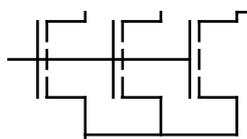
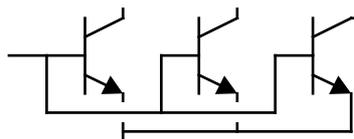
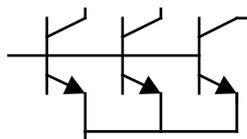
n-Kanal MOSFET, Bulk auf V_{SS}

1.3 Symbole mit mehreren Transistoren

($\Sigma=4P$)

Oft sieht man zusammengesetzte Symbole, die eigentlich einen Kurzschluß zur Folge hätten.

Zeichnen Sie die beiden unten gezeigten Schaltungen in einer eindeutigen Form. (4P)



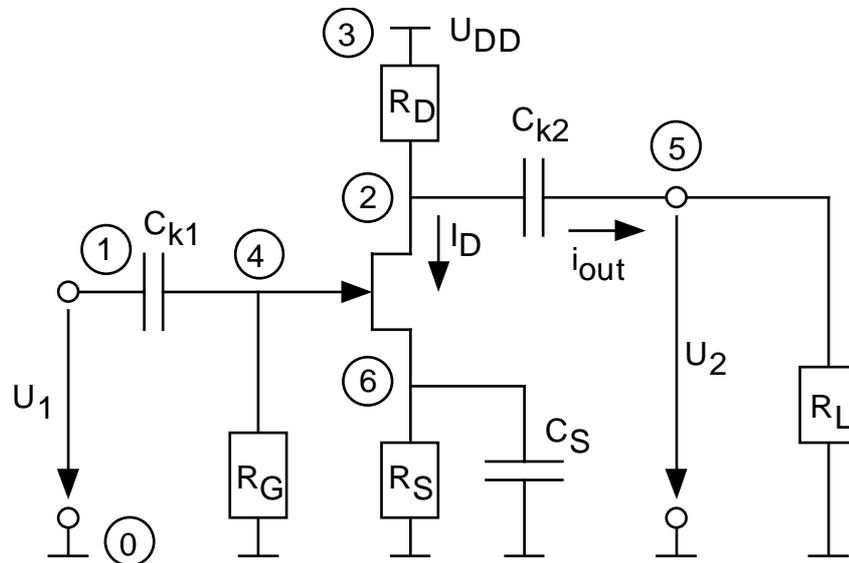
2 Verstärkerschaltung mit J-FET

($\Sigma=40P$)

Abb. 2.1 zeigt einen JFET in Source-Schaltung. Die Koppelkapazitäten C_{k1} und C_{k2} und die Source-Kapazität C_S sind so groß, daß für das interessierende Frequenzband $0 < f_{gu} \dots f_{go}$ ihre Blindwiderstände vernachlässigt werden können, also $X_{Ck1}=X_{Ck2}=X_{CS}\approx 0$ ist.

Abb. 2.1:

Verstärkerschaltung mit JFET in Source-Schaltung



2.1 Einstellung des Arbeitspunktes am Gate

($\Sigma=4P$)

Da der JFET eine Eingangsspannung $U_{GS}\leq 0V$ benötigt, legt man den Arbeitspunkt des Gates mittels R_G auf den kleinstmöglichen Wert der Schaltung. (Der Index „a“ steht für „im Arbeitspunkt“.)

$$U_{Ga} = 0V . \quad (1P)$$

Wie groß ist U_{Sa} als Funktion von I_{Da} und R_S ?

$$U_{Sa} = I_{Da} R_S = - I_{Da} R_S \quad (1P)$$

Wie groß ist U_{GSa} als Funktion von I_{Da} und R_S ?

$$U_{GSa} = U_{Ga} - U_{Sa} = 0V - I_{Da} R_S = - I_{Da} R_S \quad (1P)$$

Gefordert ist ein Eingangswiderstand $Z_{in}=1M\Omega$ für das interessierende Frequenzband $0 < f_{gu} \dots f_{go}$. Berechnen Sie R_G .

$$R_G = Z_{in} = 1M\Omega \quad (1P)$$

2.2 Einstellung des Arbeitspunktes am Drain

(Σ=12P)

Es sei V_T die Schwellenspannung (threshold voltage) des JFETs und $u_1 = \Delta U_1$ die Kleinsignal-Eingangsspannung mit dem Spitzenwert \hat{u}_1 . Die entsprechenden Ausgangsspannungen sind u_2 und \hat{u}_2 . Damit die Schaltung wie vorgesehen funktioniert, muß $U_D \geq U_{D,min}$ sein, wobei $U_{D,min} = \max\{U_{D,sat}\}$ ist.

Drücken Sie $U_{D,sat}$ als Funktion von U_G und V_T aus.

$$U_D \geq U_{D,sat} = \dots U_G - V_T \dots \dots \dots \quad (1P)$$

Wegen $U_{Ga} = 0$ ist $U_G = u_G$ und wegen $X_{ck1} = 0$ ist $u_G = u_1$. Zeichnen Sie in die Abb. 2.2 den Bereich ein, in dem sich $U_{D,sat}$ aufgrund der Kleinsignal-Eingangsspannung $u_1 = \hat{u}_1 \sin(\omega t)$ bewegt.

(2P)

Markieren Sie $U_{D,min} = \max\{U_{D,sat}\}$

(1P)

Sie sollen eine Ausgangsamplitude \hat{u}_2 garantieren. Zeichnen Sie in Abb. 2.2 den erlaubten Bereich $U_{Da,min} \dots U_{Da,max}$ für den Arbeitspunkt der Drain-Spannung U_D ein.

(2P)

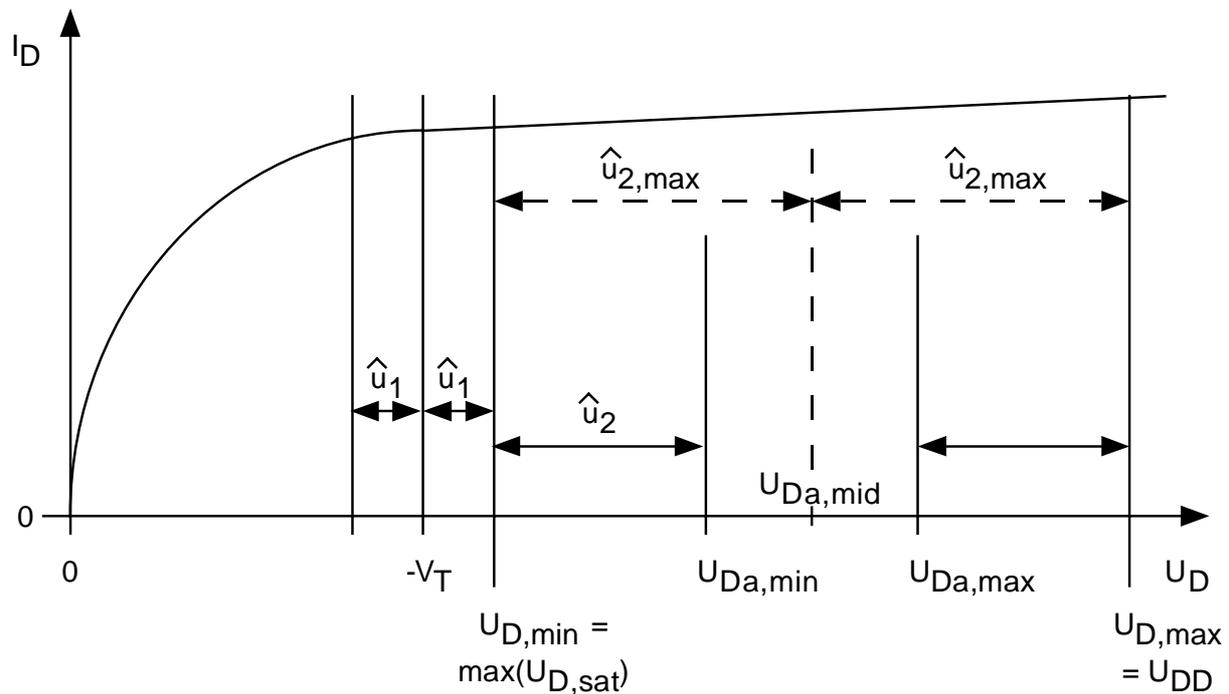


Abb. 2. 2: Kennlinienfeld für Verstärkerschaltung mit JFET in Source-Schaltung

Zeichnen Sie den Arbeitspnt $U_{Da,mid}$ ein, mit dem die größtmögliche Amplitude \hat{u}_2 erreicht wird. (1)

Zeigen Sie, daß mit der Spannungsverstärkung $A_V = u_2 / u_1$ gilt: $U_{D,\min} = |V_T| + \hat{u}_2 / A_V$.

$$U_{D,\min} = \dots \max\{U_{D,\text{sat}}\} = \dots -V_T + \hat{u}_1 = |V_T| + \frac{\hat{u}_2}{|A_V|} \quad (2P)$$

Zeigen Sie, daß für den Arbeitspunkt mit maximalem \hat{u}_2 gilt: $U_{Da,\text{mid}} = \frac{1}{2}(U_{DD} + |V_T| + \hat{u}_2 / |A_V|)$.

$$U_{Da,\text{mid}} = \frac{1}{2}(U_{D,\text{max}} + U_{D,\text{min}}) = \frac{1}{2}(U_{DD} + |V_T| + \hat{u}_2 / |A_V|) \quad (1P)$$

Wie groß ist dann die maximale mögliche Ausgangsamplitude $\hat{u}_{2,\text{max}}$ am Ausgang?

$$\hat{u}_{2,\text{max}} = \frac{1}{2}(U_{D,\text{max}} - U_{D,\text{min}}) = \frac{1}{2}(U_{DD} - |V_T| - \hat{u}_2 / |A_V|) \quad (2P)$$

2.3 Berechnung des Drain-Stromes I_{Da} für $R_L \rightarrow \infty$ ($\Sigma=14P$)

Es sei $R_L \rightarrow \infty$. Gegeben sei ein JFET gemäß Abb. 2.1 mit bekannten Werten für V_T und I_{DSS} und einer gegebenen Betriebsspannung U_{DD} . Ferner sei für einen Stromwert I_{D0} der Drain-Source-Leitwert g_{DS0} bekannt. Gefordert werde eine vorgegebene Spannungsverstärkung $|A_V|$ und eine mindestens mögliche Ausgangs-Amplitude \hat{u}_2 .

Berechnen Sie den FET-Parameter λ :

$$\lambda = g_{DS0} / I_{D0} \quad (1P)$$

Wenn der Übertragungsleitwert g_m und die Ausgangsimpedanz Z_2 der Schaltung in Abb. 2.1 gegeben sind, wie groß ist dann die Spannungsverstärkung A_V ? (Eine sehr allgemein gültige Formel!)

$$A_V = -g_m Z_2 \quad (1P)$$

Zeigen sie, daß daraus folgt: $|A_V| = \frac{2}{|V_T|} \sqrt{I_D I_{DSS}} \cdot R_D \frac{r_{DS}}{R_D + r_{DS}}$.

$$\text{Mit } g_m = \frac{2}{|V_T|} \sqrt{I_D I_{DSS}} \quad (1P)$$

$$\text{und } Z_2 = R_D || r_{DS} \quad (1P)$$

$$\text{wird } |A_V| = |-g_m Z_2| = \left| \frac{2}{|V_T|} \sqrt{I_D I_{DSS}} \cdot \frac{R_D r_{DS}}{R_D + r_{DS}} \right| = \frac{2}{|V_T|} \sqrt{I_D I_{DSS}} \cdot R_D \frac{r_{DS}}{R_D + r_{DS}} \quad (1P)$$

Für den Spannungsabfall am Drain-Widerstand R_D schreiben wir nun $U_{RDa} = U_{DD} - U_{Da}$.
Zeigen Sie, daß $r_{DS} / (R_D + r_{DS}) = 1 / (1 + \lambda U_{RD})$ ist. (Hinweis: Drücken Sie R_D und r_{DS} als Funktionen von I_{Da} aus.)

$$\text{Mit } R_D = U_{RDa} / I_{Da} \quad (1P)$$

$$\text{und } r_{DS} = 1 / \lambda I_{Da} \quad (1P)$$

$$\text{ist } \frac{r_{DS}}{R_D + r_{DS}} = \frac{\frac{1}{\lambda I_{Da}}}{\frac{U_{RDa}}{I_{Da}} + \frac{1}{\lambda I_{Da}}} = \frac{1}{1 + \lambda U_{RD}} \quad (2P)$$

$$\text{Zeigen Sie, daß damit } |A_V| = \frac{2}{|V_T|} \sqrt{\frac{I_{DSS}}{I_{Da}}} \cdot \frac{U_{RDa}}{1 + \lambda U_{RDa}} \text{ wird.} \quad (2P)$$

$$\begin{aligned} |A_V| &= |A_V| = \frac{2}{|V_T|} \sqrt{I_{Da} I_{DSS}} \cdot R_D \frac{1}{1 + \lambda U_{RD}} \\ &= \frac{2}{|V_T|} \sqrt{\frac{I_{DSS}}{I_{Da}}} \cdot \frac{U_{RDa}}{1 + \lambda U_{RDa}}. \end{aligned}$$

Berechnen Sie draus I_{Da} als Funktion von U_{Da} , A_V , I_{DSS} , V_T , etc. (3P)

$$\begin{aligned} I_{Da} &= I_{DSS} \left| \frac{2}{A_V V_T} \cdot \frac{U_{RDa}}{1 + \lambda U_{RDa}} \right|^2 \\ &= I_{DSS} \left| \frac{2}{A_V V_T} \cdot \frac{U_{DD} - U_{Da}}{1 + \lambda (U_{DD} - U_{Da})} \right|^2 \end{aligned}$$

2.4 Berechnung der elektrischen Komponenten für $R_L \rightarrow \infty$ ($\Sigma=5P$)

Berechnen sie nun R_D als Funktion von U_{RDa} und I_{Da} :

$$R_D = U_{RDa} / I_{Da} \quad (1P)$$

Wie groß ist die Gate-Spannung U_{GSa} , die als Funktion von I_{Da} , V_T und I_{DSS} eingestellt werden muß?

$$U_{GSa} = V_T \left(1 - \sqrt{I_{Da} / I_{DSS}} \right) \quad (1P)$$

Berechnen Sie die Source-Spannung U_{Sa} als Funktion von U_{GSa} , die sich für die Schaltung in Abb. 2.1 ergibt

$$U_{Sa} = U_{Ga} - U_{GSa} = 0V - U_{GSa} = -U_{GSa} \quad (1P)$$

Berechnen Sie den Source-Widerstand R_S als Funktion von I_{Da} und U_{Sa} .

$$R_S = U_{Sa} / I_{Da} \quad (1P)$$

Berechnen Sie den Source-Widerstand R_S als Funktion von I_{Da} , V_T und I_{DSS} .

$$R_S = \frac{U_{Sa}}{I_{Da}} = \frac{-U_{GSa}}{I_{Da}} = \frac{|V_T|}{I_{Da}} \left| 1 - \sqrt{\frac{I_{Da}}{I_{DSS}}} \right| \quad (1P)$$

2.5 Berechnung der Mindestwerte für die Kapazitäten ($\Sigma=5P$)

Für die Kapazitäten wurde bisher ein Blindwiderstand von $X_C=0$ angenommen. Um dies näherungsweise zu erreichen, müssen sie bestimmte Mindestwerte einhalten. In der unteren Grenzfrequenz f_{gu} soll bei einer minimalen Last $Z_{L,min}$ die Dämpfung höchstens 3dB betragen. Berechnen Sie die Mindestwerte für die drei Kapazitäten.

$$C_{k1} \geq \frac{1}{2\pi f_{gu} R_G} \cdot 10, \quad \text{Faktor 10, um Pol nach links zu schieben} \quad (1P)$$

$$C_{k2} \geq \frac{1}{2\pi f_{gu} Z_{L,min}} \cdot 10 \quad \text{Faktor 10, um Pol nach links zu schieben} \quad (1P)$$

$$C_S \geq \frac{1}{2\pi f_{gu} (g_m^{-1} || R_S)} = \frac{1 + g_{ma} R_S}{2\pi f_{gu} R_S} \quad \text{mit} \quad g_{ma} = \frac{2}{|V_T|} \sqrt{I_{Da} I_{DSS}} \quad (3P)$$

3 Kompensation

(Σ 30P)

Sie befinden sich in einer Streßsituation, denn durch das Bürofenster sehen Sie den Kunden Reichmann nahen, der Ihre angeschlagene Abteilung retten könnte. Als Demonstrator haben Sie eine Schaltung aufgebaut, die ihn überzeugen muß. Darin befindet sich ein Operationsverstärker (OP) gemäß Abb. 3.1, der später durch einen Typ mit höherer DC-Verstärkung ersetzt werden soll.

„Es muß an der Induktivität der Verpackung liegen, denn die Eckfrequenzen der Pole sind absolut identisch!“ gesteht Ihnen Kollege Nichtsehrschlau. Er hat für den in Abb. 3.1 gezeigten OP ein Exemplar mit höherer DC-Verstärkung fest eingelötet, und nun schwingt die Schaltung.

3.1 Ermittlung der offenen Schleifenverstärkung $k \cdot A_V$ (Σ 6P)

Abbildung 3.1:

Nicht - invertierend geschalteter Operationsverstärker.

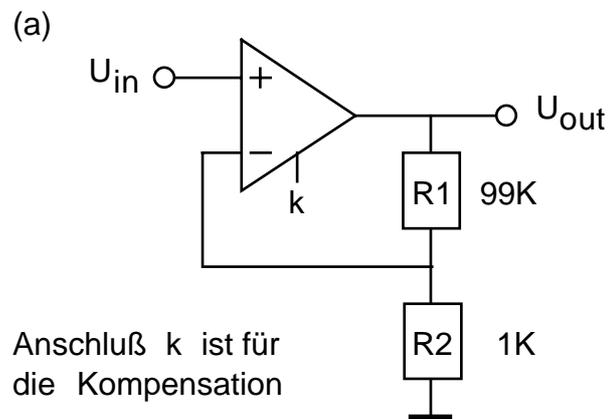
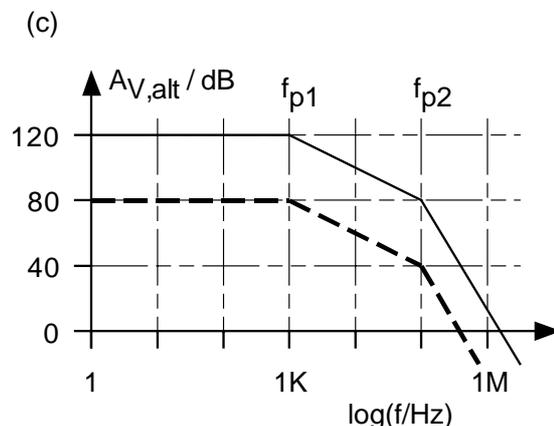
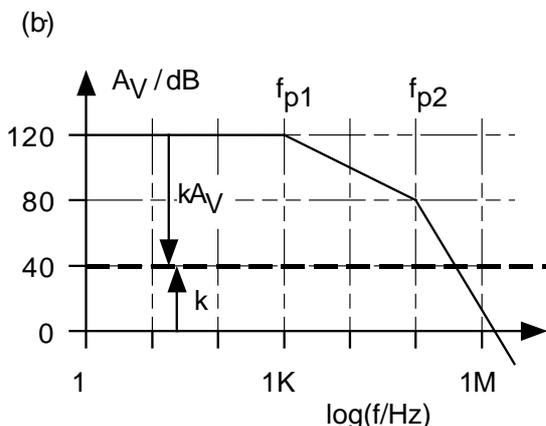


Abb. 3.1(b) zeigt den Amplitudengang des neuen OP's. Illustrieren Sie in Abb. 3.1(b) durch einzeichnen eines geraden Strichs die offene Schleifenverstärkung des OP's unter Berücksichtigung des externen Rückkopplungs-Netzwerkes. (3P)

Kollege Nichtsehrschlau hatte richtig festgestellt: Die Pole des neuen und des alten OP's liegen auf identischen Frequenzen. Doch hatte der ausgelötete OP mit der gleichen Beschaltung eine Phasenreserve von 45°. Zeichnen Sie in nebenstehendes Bode-Diagramm 3.1(c) den Amplitudengang des ausgelöteten OP's ein. (3P)



3.2 Kompensation mit Widerstand

(Σ=6P)

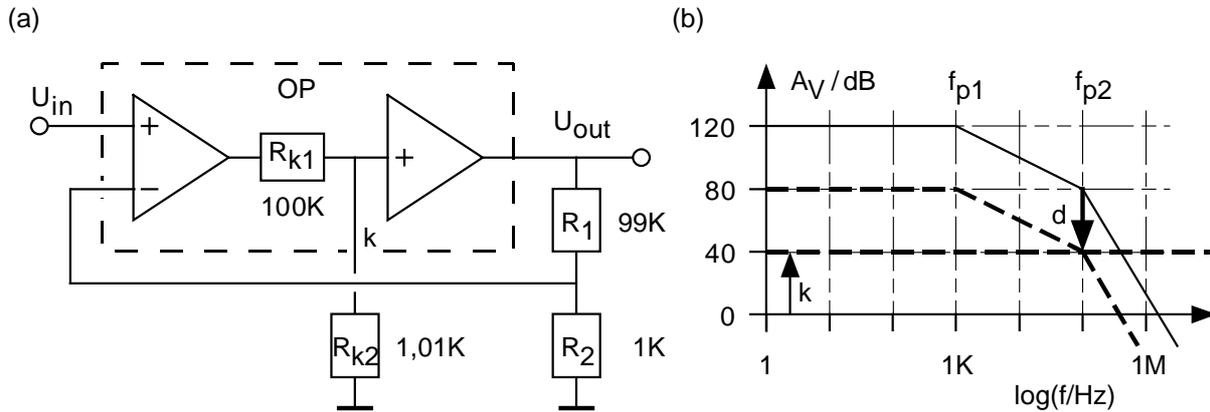


Abb. 3.2: Kompensation mit Widerstand R_{k2} . (a) Stromlaufplan und (b) Bode - Diagramm

Abb. 3.2 zeigt den neuen OP mit dem selben Rückkopplungsnetzwerk wie Abb. 3.1. Der OP ist jedoch in zwei Stufen aufgelöst, um den Innenwiderstand zwischen den Stufen und dem externen Pin k darstellen zu können. Der Eingangswiderstand der zweiten Stufe sei sehr groß.

Vor dem Eintreten des Kunden haben Sie nur noch die Zeit, schnell einen Widerstand in die Schaltung zu stecken. Auf keinen Fall darf sich das Rauschen der Schaltung verschlechtern, so daß Sie nicht am Eingang kompensieren können. Zeichnen Sie den Widerstand R_{k2} in Abb. 3.2(a) ein. **(2P)**

Ermitteln Sie graphisch in Abb. 3.2(b), wie weit die DC-Verstärkung gedämpft werden muß, um wieder eine Phasenreserve von 45° zu erhalten. Kennzeichnen Sie in Abb. 3.2 (b) durch einen Pfeil, wie sie auf diese Dämpfung kommen. (Angabe in dB und als Dämpfungsfaktor, wobei Verstärkung $d > 1$ und somit $A_V > 0\text{dB}$ bedeutet..) **(2P)**

Dämpfung in dB: $d = \dots -40 \text{ dB} \dots$

Dämpfungsfaktor: $d = \dots 0,01 \dots$

Berechnen Sie den Widerstand R_{k2} , der notwendig ist, um die gewünschte Phasenreserve von 45° mit dem neuen OP gemäß Abb. 3.2 zu erreichen. **(2P)**

$$\frac{R_{k2}}{R_{k1} + R_{k2}} = \frac{1}{100} \Rightarrow 100R_{k2} = R_{k1} + R_{k2} \Rightarrow 99R_{k2} = R_{k1} \Rightarrow$$

$$R_{k2} = \frac{R_{k1}}{99} = 1,01\text{K}\Omega$$

3.3 Kompensation mit Kapazität

(Σ=8P)

Die erste Vorführung mit der in Abb. 3.2 gezeigten Schaltung hat den Kunden schon fast überzeugt. Nun wäre es sehr vorteilhaft, auch die Vorführung, bei der die hohe DC-Verstärkung des OP's gebraucht wird, nachzuschieben. Der Kunde hat sich kurz entschuldigt. Zur Verwunderung von Herrn Nichtsehrschlau entfernen Sie den Widerstand und bauen eine Kapazität in die Schaltung ein.

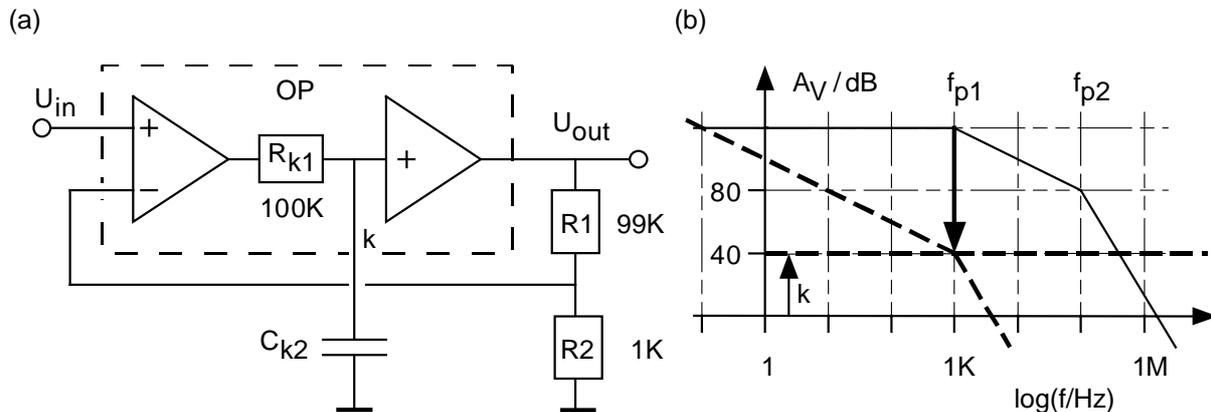


Abb. 3.3: Kompensation mit Kapazität C_{k2} . (a) Stromlaufplan und (b) Bode - Diagramm

Der OP und das Rückkopplungsnetzwerk sind identisch zu dem in Abb. 3.2. Zeichnen Sie in Abb. 3.3(a) ein, wo und wie Sie die Kapazität C_{k2} einbauen. (Nicht an den Eingang!) (2P)

Ermitteln Sie graphisch (die Zeichnung muß nachvollziehbar sein!) den Pol des Tiefpasses $R_{??}, C_{k2}$, der notwendig ist, um dem System eine Phasenreserve von 45° zu verleihen. Kennzeichnen Sie in Abb. 3.3 (b) durch einen Pfeil, welcher Pol wie weit gedrückt werden muß. ($R_{??}$ ist ein Widerstand der Schaltung in Abb. 3.3(a)) (2P)

Beschreiben Sie den Vorgang mit wenigen Stichworten verbal. (Hier können Sie bei einer falschen Rechnung zeigen, daß Sie es richtig gemeint haben.) (2P)

$kA_V(f_{p1})$ muß auf $1/k = 100$ gedrückt werden.

dann mit -20 dB hoch bis $A_{V0} \Rightarrow f_{p0} = 0,1 \text{ Hz}$

Berechnen Sie die Kapazität C_{k2} , die notwendig ist, um die gewünschte Phasenreserve von 45° zu erreichen. (2P)

$$R_{k1} C_{k2} = \frac{1}{2\pi f_{p0}} \Rightarrow C_{k2} = \frac{1}{2\pi f_{p0} R_{k1}} = \frac{1}{2\pi \cdot 0,1 \text{ Hz} \cdot 100 \text{ K}\Omega} = 15,9 \mu\text{F}$$

3.4 Kompensation mit Lead-Lag - Glied

(Σ 10P)

Kollege Nichtsehrschlau triumphiert: Wie „cool“ er diesen Kunden wieder abgeschleppt hat! Und die Schaltung will er gleich in Serie produzieren lassen, denn sie ist jetzt „stabil und die nötige DC-Verstärkung hat sie auch.“

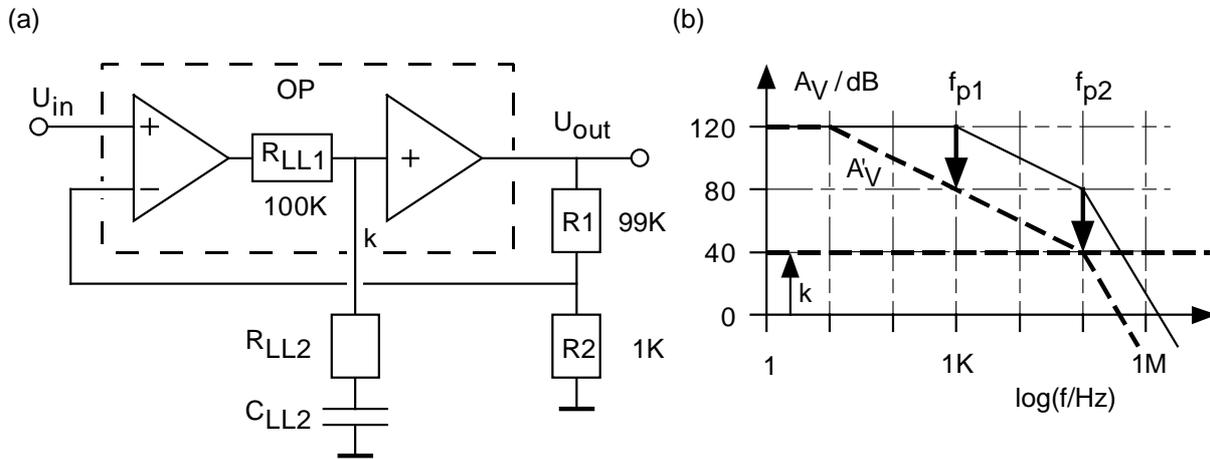


Abb. 3.4: Kompensation mit Lead-Lag - Glied R_{LL2} , C_{LL2} .

Sie stimmen mit Herrn Nichtsehrschlau nicht ganz überein. Die Schaltung in Abb. 3.3 hat einen wesentlichen Nachteil gegenüber der Schaltung in Abb. 3.2. Welcher Parameter ist in der Schaltung mit der Kapazität C_{k2} (Abb. 3.3) sehr viel schlechter, als in der Schaltung mit dem Widerstand R_{k2} (Abb. 3.2)?

...Die Bandbreite, um einen Faktor 100..... (1P)

Mit einem Lead-Lad - Glied läßt sich eine Schaltung bauen, welche die Vorteile der beiden zuvor berechneten Schaltungen auf sich vereint. Zeichnen Sie ein solches Lead-Lag - Glied (R_{LL2} , C_{LL2}) in Abb. 3.4 ein. (1P)

Ermitteln Sie graphisch (die Zeichnung muß nachvollziehbar sein!) die notwendige Dämpfung $d(f \rightarrow \infty)$ des LL-Gliedes zur Erreichung einer Phasenreserve von 45° und kennzeichnen sie diese Dämpfung durch einen Pfeil. Kennzeichnen Sie die Frequenz der Nullstelle des LL-Gliedes durch einen weiteren Pfeil. (2P)

Beschreiben Sie den graphisch vollzogenen Vorgang mit wenigen Stichworten verbal. (Hier können Sie bei einer falschen Rechnung zeigen, daß Sie es richtig gemeint haben.) (2P)

$kA_V(f_{p2})$ muß auf $1/k = 100$ gedrückt werden.

Die Nullstelle f_{LL0} des LL-Gliedes muß in $f_{LL0} = f_{p1} = 1\text{KHz}$ liegen

Berechnen Sie den Widerstand R_{LL2} und die Kapazität C_{LL2} , die notwendig sind, um die gewünschte Phasenreserve von 45° zu erreichen. (Hinweis: Wenn Sie schlau genug sind, sollte Ihnen die Berechnung für den Widerstand bekannt vorkommen!) **(4P)**

$$R_{LL2} = R_{k2} \text{ aus Aufgabe 3.2} \Rightarrow R_{LL2} = 1,01 \text{ K}\Omega$$

$$R_{LL2} C_{LL2} = \frac{1}{2\pi f_{LL0}} \Rightarrow C_{LL2} = \frac{1}{2\pi f_{LL0} R_{LL2}} = \frac{1}{2\pi \cdot 1\text{KHz} \cdot 1,01\text{K}\Omega} = 157\text{nF}$$

4 Operationsverstärker Grundlagen

(Σ=13P)

Abbildung 4.1:

Schaltung mit Operationsverstärker

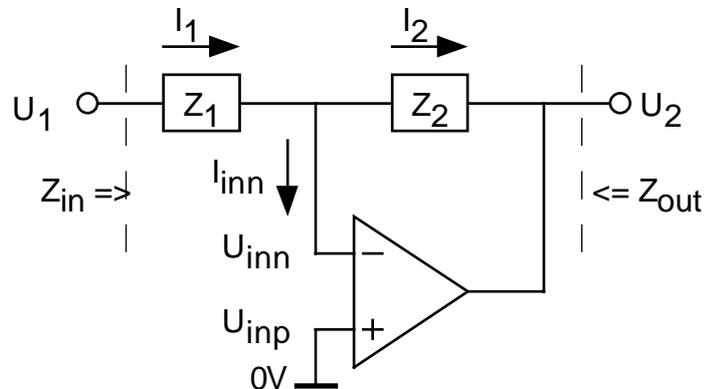


Abb. 4.1 zeigt eine Schaltung mit einem als ideal angenommenen Operationsverstärker (OP). Gegeben seien Z_1 , Z_2 , U_1 und $U_{inp}=0V$.

Wie nennt man diese Schaltungsart (z.B. Konvertierer, Nicht-Formatierer, ...)

...Invertierer..... (1P)

Wie groß ist die Spannung am invertierenden Eingang des OP?

$U_{inn} = \dots U_{inp} = 0V \dots$ (1P)

Wie groß ist der Eingangsstrom I_1 als Funktion der Eingangsspannung U_1 ?

$I_1 = \dots U_1 / Z_1 \dots$ (1P)

Wie groß ist die Eingangsimpedanz der gesamten Schaltung?

$Z_{in} = \dots U_1 / I_1 = Z_1 \dots$ (1P)

Wie groß ist die Ausgangsimpedanz der gesamten Schaltung?

$Z_{out} = \dots 0 \dots$ da idealer OP (1P)

Wie groß ist der Eingangsstrom des OPs als Funktion seiner Eingangsimpedanz?

$$I_{\text{inn}} = \dots 0 \dots \dots \dots \quad (1P)$$

Wie groß ist der Strom I_2 als Funktion anderer Ströme?

$$I_2 = I_1 - I_{\text{inn}} = I_1 \quad (1P)$$

Wie groß ist die Ausgangsspannung U_2 als Funktion von U_{inn} , Z_2 und I_2 ?

$$U_2 = U_{\text{inn}} - I_2 Z_2 = - I_{\text{nn}} Z_2 \quad (1P)$$

Wie groß ist die Ausgangsspannung U_2 als Funktion von Z_1 , Z_2 und U_1 ?

$$U_2 = -\frac{Z_2}{Z_1} U_1 \quad (U_{\text{inn}}=0) \quad (1P)$$

Was ist die Übertragungsfunktion $H(s)$ wenn man alle Größen als Funktion der Laplace - Variablen s beschreibt?

$$H(s) = \frac{U_2(s)}{U_1(s)} = -\frac{Z_2(s)}{Z_1(s)} \quad (1P)$$

Es ist keine Last an die Schaltung gekoppelt. Wohin fließt der Strom I_2 ?

In den Ausgang des OP (1P)

Wir hatten im Unterricht festgestellt, daß die Summe aller Ströme in ein Bauelement gleich Null sein muß. Stimmt das auch für den Stromlaufplan in Abb. 4.1? Wenn nein, warum nicht?

nein, da Versorgungsspannungen des OP nicht gezeichnet (1P)

Ergänzen Sie Abb. 4.1 so, daß die Stromsumme wieder korrekt ist. (1P)

=> Spannungsversorgungen für OP einzeichnen.