

Modulbezeichnung (ggf. englische Bezeichnung)		Modul-KzBez. oder Nr.
Rechnergestützter Schaltungsentwurf Digital		RED
Modulverantwortliche/r	Fakultät	
Prof. Dr. Martin Schubert	Elektro- und Informationstechnik	

Zuordnung zu weiteren Studiengängen
Bachelor-Studiengänge EI, ISE, ME, REE

Studiensemester gemäß Studienplan	Studienabschnitt	Modultyp	Arbeitsaufwand [ECTS-Credits]
	2	Schwerpunkt EL Wahlpflichtmodul	5

Verpflichtende Voraussetzungen
allgemein: Technisches Grundstudium
Empfohlene Vorkenntnisse
Modul Rechnergestützter Schaltungsentwurf Digital

Inhalte
Siehe zugeordnete Lehrveranstaltung RED
Lernziele/Lernergebnisse/Kompetenzen
Siehe zugeordnete Lehrveranstaltung RED

Zugeordnete Lehrveranstaltungen:

Nr.	Bezeichnung der Veranstaltung	Lehrumfang [SWS o. ...]	A
	Rechnergestützter Entwurf Digital	4 SWS	5

Lehrveranstaltung		LV-Kurzbezeichnung
Rechnergestützter Entwurf Digital		RED
Verantwortliche/r	Fakultät	
Prof. Dr. Martin Schubert	Elektro- und Informationstechnik	
Lehrende/Dozierende	Angebotsfrequenz	
Prof. Dr. Martin Schubert	jährlich	
Lehrform		
50% Seminaristischer Unterricht im PC-Pool 50% Laborpraktika mit FPGAs (Field Programmable Gate Arrays)		

Studiensemester gemäß Studienplan	Lehrumfang [SWS oder UE]	Lehrsprache	A r
7	4 SWS	Deutsch, bei Bedarf Englisch	5

Zeitaufwand:

Präsenzstudium	Eigenstudium
Unterricht: 28h, Praktikum: 28h	Vor- und Nachbereitung Unterricht: 42h Praktikum: 30h, Prüfungsvorbereitung: 22h

Studien- und Prüfungsleistung
Gruppenausarbeitung und schriftliche Prüfung von 120 min. Dauer
Zugelassene Hilfsmittel für Leistungsnachweis
Formelsammlung d. Dozenten, 10 DIN-A4-Seiten eigenhandschriftliche Formelsammlung, zugelassener Taschenrechner

Inhalte
<ol style="list-style-type: none"> 1. Übersicht, Einleitung, Zielsetzung 2. Design-Regeln und Methoden für den digitalen Schaltungsentwurf 3. Digitaler Schaltungsentwurf mit VHDL auf der ereignisgesteuerten Zeitachse 4. Digitaler Schaltungsentwurf mit Matlab auf der zyklusbasierten Zeitachse 5. LTI-Systeme in Matlab 6. Starten von Simulationsmodellen mit Simulink und Spice und Auswerten der Ergebnisse

Lernziele/Lernergebnisse/Kompetenzen

Kenntnisse

Fundamentales dieser Vorlesung ist es, dass die Studierenden folgende Themen erlernen und verstehen

1. Verstehen des DC/DC-Buck-Wandlers als wichtigstes Anwendungsbeispiel
2. Design-Regeln und Methoden für den digitalen Schaltungsentwurf
 - 2.1 Regeln für digitales Schaltungsdesign
 - 2.2 Die Finite Zustandsmaschine
3. Digitaler Schaltungsentwurf mit VHDL auf der ereignisgesteuerten Zeitachse
4. Digitaler Schaltungsentwurf mit Matlab auf der zyklusbasierten Zeitachse
5. LTI-Systeme in Matlab
6. Starten von Simulationsmodellen mit Simulink und Spice und Auswerten der Ergebnisse

Fertigkeiten

Studierende erlernen Anhand von Übungen und Beispielen

- + die unter Kenntnisse gelehrt Techniken des digitalen Schaltungsentwurfs anzuwenden und
- + komplexere Schaltungen zu analysieren, um Struktur, Funktionalität und Leistungsmerkmale digitaler Schaltkreise zu erkennen.

Kompetenzen:

Anhand eines selbst ausgewählten Gruppen-Beispiels beweisen die Studierenden die Kompetenzen

- + gegebene Aufgabenstellungen zu analysieren und zu evaluieren (vergleichen, bewerten), um
- + mit dem unter Punkt Kenntnisse erworbenen Wissen kreativ eigene Lösungen zu entwickeln.

Angebotene Lehrunterlagen

Skript, Übungen, Versuchsaufbauten, Praktikumsanleitungen, Literaturliste

Lehrmedien

CIP-Pool, Tafel, Rechner + Beamer, Labormessplätze im Elektroniklabor der OTH Regensburg

Literatur

- [1] [https://en.wikipedia.org/wiki/V-Model_\(software_development\)](https://en.wikipedia.org/wiki/V-Model_(software_development))
- [2] https://en.wikipedia.org/wiki/Buck_converter
- [3] https://de.wikipedia.org/wiki/Digitaler_Regler
- [4] J. F. Wakerly: Digital Design, Principles & Practices, Prentice Hall, '05
- [5] A. Angermann et al.: Matlab - Simulink - Stateflow, Oldenbourg, 2009
- [6] J. Reichardt, B. Schwarz: VHDL-Synthese, Oldenbourg Verlag, 2008
- [7] Keating, Bricaud: Reuse Methodology Manual SoC Design, Kluwer '99